

BEST AVAILABLE COPY

501P0689US00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月29日

出 願 番 号
Application Number:

特願2000-159265

出 願 人
Applicant(s):

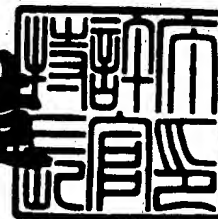
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3017215

【書類名】 特許願

【整理番号】 9900891501

【提出日】 平成12年 5月29日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 高橋 賢一

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 磯崎 忠昭

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示素子の駆動方法

【特許請求の範囲】

【請求項 1】 第 1 の電極が設けられた第 1 の基板と第 2 の電極が設けられた第 2 の基板とが、該第 1 の電極及び該第 2 の電極が設けられた側を相対向させて所定の間隔を隔てて配置され、これら各基板間に液晶が封入されて構成された液晶表示素子を駆動するにあたって、該第 1 の電極及び該第 2 の電極間に印加する電圧信号によって、入射光の反射状態及び非反射状態、または、入射光の透過状態及び非透過状態、あるいは、入射光の偏光状態及び非偏光状態、もしくは、入射光の旋光状態及び非旋光状態を切替えることにより、画像表示を行う液晶表示素子の駆動方法において、

一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において、表示信号期間と、表示には関与しない制御信号期間とからなる駆動電圧波形を用いる

ことを特徴とする液晶表示素子の駆動方法。

【請求項 2】 表示信号期間において、入射光の状態を選択する期間の駆動電圧波形は、正極性電圧信号、負極性電圧信号及び 0 V 信号のいずれかの組合せであって、かつ、それらの電圧の絶対値、または、信号幅が異なり、印加電圧波形として、正極性と負極性との電荷が不均衡な、単位時間内における平均電圧が 0 でない状態となっている非対称性を有する波形である

ことを特徴とする請求項 1 記載の液晶表示素子の駆動方法。

【請求項 3】 制御信号期間においては、表示信号期間における駆動電圧波形が有している偏りの極性の逆極性のパルスの、あるいは、連続した直流電圧である信号であって液晶内でイオンの分極によって発生する内部直流電圧の発生を抑制するリセット電圧を印加する

ことを特徴とする請求項 1 記載の液晶表示素子の駆動方法。

【請求項 4】 制御信号期間の時間比率は、駆動電圧波形全体の 5 % 以上 5 0 % 未満である

ことを特徴とする請求項 3 記載の液晶素子の駆動方法。

【請求項 5】 制御信号期間における電圧の極性及び大きさを判断するために、一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において生じている電荷の偏りを検出する検出回路を用いることにより、液晶内でのイオンの分極によって発生する内部直流電圧の発生を抑制する

ことを特徴とする請求項 3 記載の液晶表示素子の駆動方法。

【請求項 6】 入射光の状態の選択が、オンとオフとの 2 つの状態のいずれかの選択である液晶表示素子の駆動方法である

ことを特徴とする請求項 1 記載の液晶表示素子の駆動方法。

【請求項 7】 液晶の応答時間に比べて十分に長い時間オンまたはオフの二状態のうちの一方の状態を保持する場合においては、電圧信号を印加後、所望の透過率、または、反射率が保持されている間に、次の選択信号を印加する

ことを特徴とする請求項 6 記載の液晶素子の駆動方法。

【請求項 8】 液晶は、強誘電性液晶、または、反強誘電性液晶からなることを特徴とする請求項 6 記載の液晶素子の駆動方法。

【請求項 9】 液晶表示素子は、シリコンバックプレーン及び強誘電性液晶からなる反射型液晶表示素子である

ことを特徴とする請求項 6 記載の液晶素子の駆動方法。

【請求項 10】 表示信号期間において、オンとオフとの 2 つの状態のいずれかである入射光の状態を選択しうる電圧信号として、正極性電圧、負極性電圧及び 0 V 信号の組合せからなる駆動電圧波形を用いる

ことを特徴とする請求項 6 記載の液晶表示素子の駆動方法。

【請求項 11】 表示信号期間において、入射光の状態を選択する期間の駆動電圧波形は、正極性電圧信号、負極性電圧信号及び 0 V 信号のいずれかの組合せであって、かつ、それらの電圧の絶対値、または、信号幅が異なり、印加電圧波形として、正極性と負極性との電荷が不均衡な、単位時間内における平均電圧が 0 でない状態となっている非対称性を有する波形である

ことを特徴とする請求項 10 記載の液晶表示素子の駆動方法。

【請求項 12】 制御信号期間においては、表示信号期間における駆動電圧波形が有している偏りの極性の逆極性のパルスの、あるいは、連続した直流電圧で

ある信号であって液晶内でイオンの分極によって発生する内部直流電圧の発生を抑制するリセット電圧を印加する

ことを特徴とする請求項 1 1 記載の液晶表示素子の駆動方法。

【請求項 1 3】 制御信号期間の時間比率は、駆動電圧波形全体の 5 % 以上 5 0 % 未満である

ことを特徴とする請求項 1 2 記載の液晶素子の駆動方法。

【請求項 1 4】 制御信号期間における電圧の極性及び大きさを判断するために、一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において生じている電荷の偏りを検出する検出回路を用いることにより、液晶内でのイオンの分極によって発生する内部直流電圧の発生を抑制する

ことを特徴とする請求項 1 2 記載の液晶表示素子の駆動方法。

【請求項 1 5】 表示信号期間において、オンとオフとの 2 つの状態のいずれかである入射光の状態を選択しうる電圧信号として、オンまたはオフの 2 つの状態のうちの一方の状態を選択する電圧信号が、正極性の電圧のみの組合せであって、かつ、他方の状態を選択する電圧信号が、負極性の電圧のみの組合せとなっている駆動電圧波形を用いる

ことを特徴とする請求項 6 記載の液晶表示素子の駆動方法。

【請求項 1 6】 表示信号期間において、入射光の状態を選択する期間の駆動電圧波形は、正極性電圧信号及び負極性電圧信号のいずれかの組合せであって、かつ、それらの電圧の絶対値、または、信号幅が異なり、一の状態の選択期間内において印加電圧波形として、正極性と負極性との電荷が不均衡な、単位時間内における平均電圧が 0 でない状態となっている非対称性を有する波形である

ことを特徴とする請求項 1 5 記載の液晶表示素子の駆動方法。

【請求項 1 7】 制御信号期間においては、表示信号期間における駆動電圧波形が有している偏りの極性の逆極性のパルスの、あるいは、連続した直流電圧である信号であって液晶内でイオンの分極によって発生する内部直流電圧の発生を抑制するリセット電圧を印加する

ことを特徴とする請求項 1 6 記載の液晶表示素子の駆動方法。

【請求項 1 8】 制御信号期間の時間比率は、駆動電圧波形全体の 5 % 以上 5

0 %未満である

ことを特徴とする請求項 1 7 記載の液晶素子の駆動方法。

【請求項 1 9】 制御信号期間における電圧の極性及び大きさを判断するために、一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において生じている電荷の偏りを検出する検出回路を用いることにより、液晶内でのイオンの分極によって発生する内部直流電圧の発生を抑制する

ことを特徴とする請求項 1 7 記載の液晶表示素子の駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、例えば、液晶光変調型表示素子や液晶光変調器の如き、液晶表示素子の駆動方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話や、いわゆる「PDA」(Personal Digital Assistrance)などの小型情報端末の発達や、電子メール(E-mail)、ワールド・ワイド・ウェブ(WWW:World Wide Web)などのインターネットの普及など、情報の送受信環境の整備に伴い、これらを通じて得られる情報を表示するための携帯用の表示素子(ディスプレイ)の高性能化が望まれている。また、室内用としても、いわゆる「パーソナルシアター用大型ディスプレイ」や「パーソナルコンピュータ用薄型ディスプレイ」などとして、投射型の表示素子の高性能化が望まれている。

【 0 0 0 3 】

これらの要望を統合的に満たす表示素子の一つとして、液晶表示素子が研究されている。この液晶表示素子は、薄型軽量化が可能であり、低消費電力でありながら、高画質の画像を表示できるという特徴を有している。

【 0 0 0 4 】

液晶表示素子としては、現在、「STN」(Supper Twisted Nematic)の複屈折モードや「TN」(Twisted Nematic)の旋光モードを用いたものが実用化されている。また、次世代の液晶表示素子と位置づけられる複屈折モードを用いた

強誘電性液晶や反強誘電性液晶も研究されており、実用化も近いと思われる。現在実用されている「STN」ディスプレイと並んで、複屈折モードの表示素子の代表例である強誘電性液晶（「FLC」：Ferroelectric Liquid Crystal）により、表面安定強誘電性液晶モード（「SSFLC」：Surface Stabilized Ferroelectric Liquid Crystal）が提案されて以来、活発に研究が進められている。

【0005】

通常、強誘電性液晶においては、図1に示すように、カイラルスメクチックC相において、外部印加電界E（ P_s は自発分極）に対して、液晶分子Mの配向方向が状態1と状態2との二つの状態間でスイッチングする。素子を真上からみると、図1において仮想的に示した円錐の中心軸が配向膜の方向（ラビング膜ではラビング方向、SiO斜方蒸着膜では蒸着方向）に一致する。この液晶分子Mの配向方向の変化は、直交する偏光板間に液晶素子を配置することによって、光透過率の変化として現れ、図2に示すように、印加電界に対して透過率が閾値 V_{th} で0%から100%に急峻に変化することとなる。

【0006】

「SSFLC」表示モードを用いた表示素子は、応答が高速であり（従来のネマチック液晶表示素子に比較して、約1000倍の応答速度）、メモリー性を持つため、陰極線管（CRT）や「TN」ディスプレイなどで問題となっているフリッカーをなくせる、単純X-Yマトリックス駆動でも、1000本以上の走査線で駆動できる、TFT（Thin Film Transistor）などの能動素子を用いないことで、製造上の歩留まりの向上が可能であるなどの特徴を有する。また、現在主流のネマチック液晶での視野角が狭いという問題に対しても、分子配置が一様であり、パネルの基板間ギャップがネマチック液晶パネルの半分以下であることから、広い視野角を有するという特徴を有している。

【0007】

そこで、このような強誘電性液晶を、反射型ディスプレイに応用しようとする試みがされている。例えば、「IEEE Journal of Quantum Electronics, vol.29, no.2(1993)699, Journal of the Society for Information Display, vol.5(1997)1, SPIE, vol.3013(1977)174」などに詳しく開示されている。これらはいずれも、半

導体メモリー上に強誘電性液晶セルを作り込み、メモリー電圧によって駆動しようとするものである。

【0008】

ところで、本出願人は、すでに、半導体メモリーと強誘電性液晶を組み合わせた反射型ディスプレイを提案している。これは、フィールドシーケンシャル法と、光源の輝度変調とを組み合わせることにより、階調表現を可能とし、原理的には、人間の視覚特性としては転属的な階調まで表示できる表示技術である。

【0009】

このような反射型強誘電性液晶表示素子は、例えば、図3に示すように、透明基板1aとシリコン基板（シリコンVLSI回路基板）2aとの間に強誘電性液晶4を封入した構造を有している。すなわち、この反射型強誘電性液晶表示素子は、ガラスなどの透明基板1aの内面上にITOなどの透明電極1b及びSiO斜方蒸着膜、または、ポリイミドに代表される高分子薄膜を焼成後、ラビング処理して液晶配向膜1cを順次積層した積層体を形成し、これと同様に、画素内に駆動回路を作り込んだシリコン基板2aの内面上に反射膜兼電極2b及びSiO斜方蒸着膜、または、ポリイミドに代表される高分子薄膜を焼成後、ラビング処理して液晶配向膜2cを形成し、これら透明基板1aとシリコン基板2aとを、順次積層して形成した積層体同士が互いに対向するように配置し、粒状のスペーサ3を挟むことにより所定のセルギャップを確保して液晶セルを構成し、このセルギャップに強誘電性液晶4を注入し、周囲を接着剤で封じることにより構成されている。

【0010】

図3に示した強誘電性液晶光変調型表示素子11の画素は、二次元的に構成されている（なお、これは、線状でも構わない）。図4に示すように、この強誘電性液晶光変調型表示素子11への入射光5は、反射膜兼電極2bで反射され、反射光6として、強誘電性液晶光変調型表示素子11から射出される。そして、これら入射光5及び反射光6の光路上にある強誘電性液晶4の光透過率は、図2に示すように、電極1bと反射膜兼電極2bとの間の電界によって変化する。すなわち、反射光6の強度は、電極1bと反射膜兼電極2bとの間の電界強度により

変調されるので、入射光の反射状態及び非反射状態を画素ごとに切替えることにより、画像を表示させることができる。

【 0 0 1 1 】

反射膜兼電極 2 b への電圧印加は、強誘電性液晶光変調型表示素子 1 1 の外部にある制御回路 7 によって画素毎に制御されるが、シリコン基板 2 a 上に組み込まれた回路によって制御されることとしても良い。電圧の印加は、画素毎、または、複数画素毎に走査して行い、あるいは、全画素同時に行ってもよい。

【 0 0 1 2 】

図 5 には、光透過型の液晶素子 2 1 を示している。この光透過型の液晶素子 2 1 の場合、図 3 及び図 4 に示した反射型液晶素子に対して基本的に異なることは、駆動電極がガラス基板 1 2 a 上に設けられた透明 I T O 1 2 b からなり、これを T F T からなる制御ゲート素子 1 8 によって画素毎に駆動して、信号電圧のオン、オフによって入射光 1 5 を透過光 1 6 として透過させたり、あるいは遮断する構成を有していることである。なお、制御ゲート素子 1 8 には、補助容量を接続してもよい。また、「S S F L C」モードのようなメモリー効果を有するモードの場合においては、上記のような能動素子を用いない単純マトリックス駆動が可能である。

【 0 0 1 3 】

「T N」モードでは、実効電界強度に応じて、明状態と暗状態との間を連続的に変化させることができるのに対して、「S S F L C」モードでは、前述のように、印加電圧の閾値において、透過率（もしくは反射率）が急峻に変化する双安定性（またはメモリー性）という特徴を有するため、明状態と暗状態の二状態しか選択できず、それらの中間階調を制御することは困難であるとされてきた。

【 0 0 1 4 】

これまでの中間階調表示の表示方法としては、サブピクセルを設けて、それらの積分面積に応じて調整する面積階調法や、一画素において注入電荷量などを制御して微少な反転ドメインにより制御するマルチドメイン法などが提案されている。前者では、実質上画素数が増え、駆動回路が複雑になること、解像度を上げることが困難であることなどの問題がある。後者では、温度分布や能動素子の性

能のばらつき等によって、全画素において同等の階調特性を実現することが困難であることなどの問題がある。したがって、これらの方法では、十分な中間階調の制御を行うことができない。

【 0 0 1 5 】

そこで、本出願人は、強誘電性液晶素子のように反射光または透過光のオンとオフとの二値のいずれかを選択する空間変調素子を用い、フィールドシーケンシャル法と光源の光強度変調とを組合せて、原理的には人間の視覚特性としては連続した階調まで表示できるデジタル階調表示を実現する液晶表示素子の駆動方法の発明を、特願平 5 - 3 4 7 5 7 6 及び特願平 7 - 2 1 2 6 8 6 において提案している。

【 0 0 1 6 】

この液晶表示素子の駆動方法においては、1 フレームを階調ビット数に応じて複数のサブフレーム（これをビットプレーンと定義する）に分割し、さらに、光源の輝度変調により、各ビットプレーンを重み付けして、階調表示を行う。

【 0 0 1 7 】

すなわち、同一の光強度の光源を用いた場合、8 ビットの階調（2 5 6 階調）を表示するには、1 6 . 7 msec の 1 フレームを 8 ビット（0 乃至 2 5 6 階調）で単純に時分割して表示しなければならない、このためには、強誘電性液晶は、約 6 5 . 5 μ sec で完全に駆動しきれなければならないこととなる。1 0 ビット表示では、強誘電性液晶の駆動時間は、1 6 . 3 μ sec となる。これは、現状の強誘電性液晶の応答速度から鑑みると厳しい値であり、実現のためには、印加電界を高く設定しなければならなくなってしまう。

【 0 0 1 8 】

そこで、光強度を変調できる光源を用いることにより、1 フレームを時分割することにより決まる強誘電性液晶の駆動時間を飛躍的に長くすることができる。すなわち、8 ビットの階調を表示する場合に、光源の光強度が 8 ビットの変調が可能であるとする、強誘電性液晶は、約 2 . 0 8 msec で駆動できればよいことになる。1 0 ビット階調を表示する場合には、強誘電性液晶の駆動時間は、約 1 . 6 7 msec である。このように、この液晶表示素子の駆動方法は、強誘電性

液晶の応答速度に応じた実用的な駆動方法である。

【 0 0 1 9 】

ここで、1つの階調ビットからなる映像を「ビットプレーン」と呼び、その表示時間を「ビットプレーン時間」と呼ぶ。例えば、図6に示すように、8ビットの階調を表示する場合、ビットプレーン数が8であり、8つのビットプレーン時間の合計が1フレームになっている。

【 0 0 2 0 】

ところで、近年、いわゆる「プラズマディスプレイパネル」などのデジタル表示素子が発展する中、さらなる表示画像の高画質化が望まれている。そして、デジタル階調表示においては、8ビットの表示では、最低限の階調表示としては十分でありながら、高画質化という点では不十分であるといわれている。

【 0 0 2 1 】

一方、デジタル階調表示においては、偽輪郭という問題が発生する。これはフィールドシーケンシャル駆動を行う際、時分割されたビットプレーン時間が長いことに起因しており、表示された発光点を目で追従したときに、発光パターンの時間的なずれが空間的なずれに変換されることで生じる現象である。したがって、この問題は、ビットプレーン時間を短くすることによって低減することができる。

【 0 0 2 2 】

しかし、実際上は、強誘電性液晶の駆動の応答時間、デバイスの構造、消費電力、データ転送速度などの問題から、1ビットプレーン時間の下限が決まってしまう。また、偽輪郭の問題に加えて、色割れ、階調数などにより、1ビットプレーン時間の上限が決まる。通常、フレーム周波数は60Hzであることを考えると、1ビットプレーン時間は、100 μ 乃至数100 μ に設定されるべきである。つまり、このビットプレーン時間は、画素数、階調数などの仕様に応じて、一意的に決定されることとなる。

【 0 0 2 3 】

例えば、本出願人らが提案している表示素子においては、R（赤）、G（緑）、B（青）の各一色当たり256階調とし、1フレームは36ビットプレーン×

3色=108ビットプレーンからなり、1ビットプレーンはおおよそ $150\mu\text{sec}$ （さらに正確には $1\text{sec}/30\text{Hz}/2\text{フレーム}/108\text{ビットプレーン}$ で、乃至 $154.3\mu\text{sec}$ ）となる。この場合、強誘電性液晶は、1ビットプレーンにつき1回は、必ずスイッチングする仕様となっている。

【0024】

このように、ビットプレーンごとにメモリー状態をリフレッシュする駆動方法は、透過（反射）率が下がる前に次の駆動電圧波形を印加するため、メモリー性が十分でない材料、例えば、双安定性が不十分でビットプレーン時間内にメモリーコーン角が落ちて透過（反射）率が下がるような材料でも使用できるという利点がある。この場合、リフレッシュする周波数は、主にビットプレーン時間により決定される。

【0025】

以上のように、フィールドシーケンシャル階調表示法における強誘電性液晶の駆動電圧波形は、1ビットプレーン時間に使用しなければならず、単純な駆動電圧波形しか使用できないという問題がある。また、表示画像の高精細化を図る場合には、単位画素面積が小さくなるため、構成する駆動回路をその画素面積中に納めなければならず、駆動回路等の負担を軽減させるためには、より簡便な駆動電圧波形がさらに求められることになる。

【0026】

【発明が解決しようとする課題】

ところで、液晶表示素子の製造工程においては、液晶合成、配向膜作製、液晶注入などの諸工程上において、混入、生成された不純物イオンが液晶に含まれてしまい、これが表示画像の質の劣化を引き起こすことが知られている。

【0027】

現在のところ、完全に液晶パネル内の不純物イオンを除去することは不可能といえる。さらに、たとえ除去できたとしても、駆動の際に、電圧印加によって不純物イオンが生成される現象が生ずる。この不純物イオンの液晶パネル内での挙動としては、以下のようなことが考えられている。

【0028】

(1) 温度上昇ならびに電圧印加等によって、液晶中でイオン解離が促進される。

(2) 電圧印加によって生じた液晶中の電界にそって、電荷を有するイオンが移動する。

(3) 配向膜に達したイオンは、物理的ないし化学的に吸着する。

(4) セルに印加される波形が交流的なものであれば、イオンは、吸脱着等を繰り返す行う。

(5) 解離したイオンの一部は、再結合などによって、中性の分子にもどる。

【0029】

このようなイオンの挙動に際し、対向する2枚の電極基板、ならびに、駆動上で、以下に示すような非対称性が生じた場合には、液晶と配向膜との界面において、イオン挙動にも非対称性が生じる。

(1) 対向する2枚の電極基板での構造上の非対称性（TFT基板側とITO基板側との間、反射型セルなどにおける反射側基板と透過側基板との間）。

(2) 対向する2枚の電極基板上の配向膜の諸条件（膜厚、焼成条件、ラビング強度など）。

(3) 電圧印加波形の非対称性（一般の駆動電圧波形は矩形波などの交流波形を用いるが、GND（接地レベル）に対して非対称性がある場合）。

【0030】

これらの非対称性によって、カチオンおよびアニオンの配向膜界面における吸脱着平衡、ならびに、液晶中でのイオン種の分極状態が対向する2枚の電極基板で非等価な状況が作り出される。このように、イオンが分極した状態は、緩和しにくく、外部的にある極性の直流成分（ V' ）を液晶セル間に印加したときとほぼ類似した状況となる。

【0031】

すなわち、その後に電圧印加を停止したとしても、液晶セル内部には、 V' の電圧が印加された状態、すなわち、液晶分子に電圧が印加されている状態が維持することになる。すなわち、液晶セルに対称な矩形波形電圧（振幅 V ）などを印加しても、液晶内部にかかる有効な電圧は、正側で、 $(V + V')$ 、負側では、

$(-V + V')$ となり、液晶に印加される実効的な電圧が対称ではなくなる。このような非対称性により、「TN」系などのように、実効電圧が光透過率に反映されるような液晶表示素子においては、液晶分子がゆらつき、フリッカという減少として観測され、表示画像の質の劣化を生じることになる。

【 0 0 3 2 】

一方、「SSFLC」モードにおいて、オンまたはオフの二状態のうちの一方の状態を選択する電圧信号を正極性電圧信号 (V) とし、かつ、他方の状態を選択する電圧信号を負極性電圧信号 ($-V$) とするような場合には、 V' が正の値とすると、逆極性の状態にする負極性電圧信号印加時には、実効的に $(-V - V')$ が、正極性電圧信号印加時には、 $(V - V')$ が、それぞれ印加されることになる。したがって、負極性電圧信号によって選択される状態への応答速度は、実効電圧の増加分だけ速くなり、逆に、正極性電圧信号によって選択される状態への応答速度は、実効電圧の減少分だけ遅くなり、また、 V' が大きくなると、 $(V - V')$ が閾値に達しなくなり、応答しなくなる。

【 0 0 3 3 】

さらに、このような内部直流電圧 (DC) 成分が大きくなるような状況のもとでは、液晶分子自体が、電気分解などをしてしまうことさえある。近年、液晶材料の安定性が向上し、一般の駆動電圧の範囲では電気分解の可能性はほとんどなくなったものの、駆動電圧波形の実効的な直流成分による表示画像の質の劣化の可能性は拭えない。

【 0 0 3 4 】

したがって、これまでの液晶表示素子の駆動電圧波形は、電氣的に中性を保つことが当然とされ、オフセット電圧が 0 V の矩形波や正弦波、余弦波、三角波などのように、正負電圧が交互に、かつ、 0 V に対して正負電圧が対称になるような、いわゆる交流駆動を行うものであった。

【 0 0 3 5 】

例えば、「TN」モードのような液晶表示素子の場合には、オフセット電圧が 0 V の矩形波による駆動、ならびに、矩形波で TFT のゲート素子による駆動を用い、常に駆動電圧波形が電氣的に中性を保つように設定されている。

【 0 0 3 6 】

また、「SSFLC」モードの液晶表示素子のように、オンとオフとのうちの
一状態を選択するパルス電圧を印加する際、これを打ち消す逆極性電圧波形を組
み合わせて、一選択時間内で直流成分を相殺すること、もしくは、もっと長い時
間、例えば複数のフレームにわたった平均として、直流成分を相殺するように、
逆極性電圧パルスを挿入するなどの駆動方法がとられてきた。

【 0 0 3 7 】

しかしながら、このような「SSFLC」モードの液晶表示素子においては、
電気的中性を保つためのみに、実際上は液晶の駆動に寄与しない電圧波形を状態
選択をする電圧波形と同等の時間分だけ挿入することになり、その分だけビット
プレーン時間を短くせざる得ず、そのために輝度、階調などの特性が劣化するこ
ととなってしまう。また、液晶の応答のために与えられる時間も短くなることに
なり、液晶材料への負担を増大させることになる。

【 0 0 3 8 】

そこで、本発明は、十分なビットプレーン時間を確保しつつ、簡単で、かつ、
不純物イオンによる表示画像の質の劣化が生じないようになされた液晶表示素子
の駆動方法を提供しようとするものである。

【 0 0 3 9 】

【課題を解決するための手段】

本発明者らは、上述のような電気的中性を保った駆動電圧波形にとらわれるこ
となく、簡便な駆動電圧波形で実効的な直流成分を有することとなる駆動方法を
積極的に検討した結果、液晶の劣化を起こさないうえ、不純物イオンが形成する
内部直流電圧または電界の発生を極めて効果的に抑制することで、表示の異常を
防止し、また、長期間に亘って表示の信頼性を確保できる駆動方法を見出し、本
発明に至った。

【 0 0 4 0 】

この駆動方法においては、「TN」モードのように、理想的には内部直流電圧
が発生しない、電氣的に中性を保つようなオフセット電圧 0 V の矩形波電圧によ
る駆動、いわゆる交流駆動においても、素子特性のばらつきによって電氣的中性

からずれが生じることも生じ得るので、不純物イオンが形成する内部直流電圧の抑制という効果が得られる点で有効である。

【 0 0 4 1 】

すなわち、本発明に係る液晶表示素子の駆動方法は、第 1 の電極が設けられた第 1 の基板と第 2 の電極が設けられた第 2 の基板とが、該第 1 の電極及び該第 2 の電極が設けられた側を相対向させて所定の間隔を隔てて配置され、これら各基板間に液晶が封入されて構成された液晶表示素子を駆動するにあたって、該第 1 の電極及び該第 2 の電極間に印加する電圧信号によって、入射光の反射状態及び非反射状態、または、入射光の透過状態及び非透過状態、あるいは、入射光の偏光状態及び非偏光状態、もしくは、入射光の旋光状態及び非旋光状態、すなわち、オンまたはオフの二状態を切替えることにより、画像表示を行う液晶表示素子、例えば、液晶光変調型表示素子、液晶光変調器などの駆動方法において、一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において、表示信号期間と、表示には関与しない制御信号期間とからなる駆動電圧波形を用いることにより、内部直流電圧の発生を極めて効果的に抑制することができるものである。

【 0 0 4 2 】

本発明の効果を明確に実証するためには、オンまたはオフの二状態のうちの一方向の状態を選択する電圧信号を正極性電圧信号のみの組合せとし、かつ、他方向の状態を選択する電圧信号を負極性電圧信号のみの組合せとするのがよい。あるいは、オンまたはオフの二状態の少なくとも一方の状態を選択する電圧信号を正極性電圧信号と負極性電圧の組合せとし、かつ、それらの電圧の絶対値または時間幅を異ならせることで、一状態の選択期間内に実効的に内部電圧の直流成分を生じさせるようにしてもよい。

【 0 0 4 3 】

すなわち、本発明に係る液晶表示素子の駆動方法においては、表示信号期間において、入射光の状態を選択する期間の駆動電圧波形は、正極性電圧信号、負極性電圧信号及び 0 V 信号のいずれかの組合せであって、かつ、それらの電圧の絶対値、または、信号幅が異なり、印加電圧波形として、正極性と負極性との電荷

が不均衡な、単位時間内における平均電圧が0でない状態となっている非対称性を有する波形であってもよいのである。

【0044】

つまり、オンかオフの一状態を選択する際に、電気的中性が保たれておらず、必ず、両電極間に不純物イオンの分極による電位、すなわち、内部直流電圧が生じるようにする。例えば、任意の時間に亘って画像を表示する場合、オン及びオフの回数は同数とは限らないから、どちらか一方の選択波形の印加回数が多くなり、ある一定期間内においては、電極間には、内部直流電圧が生じることになる。

【0045】

図7は、液晶表示素子に供給する駆動電圧波形と、この駆動電圧に対応する反射光強度との関係を示している。図7に示すように、約154.3 μ secの1ビットプレーン間に、オン（明）状態を選択する際は、正極性のパルス（50 μ sec幅）を、オフ（暗）状態を選択する際は、負極性のパルス（50 μ sec幅）を印加する。GND電圧を印加している間は、「SSFLC」の双安定性（メモリー性）により、反射光強度は、ほぼ一定に維持される。

【0046】

「SSFLC」モードでは、メモリー性を用いるのが一般であるが、メモリー性を使用せず、さらに単純な矩形波などにより、強誘電性液晶材料固有のコーン角を用いることも可能である。この場合、実際の輝度には反映しないことになってしまうが、強誘電性液晶材料固有のコーン角を用いるため、各ビットプレーンにおける反射率は大きくすることができる。

【0047】

このように、一定期間内において、一状態の選択期間内に実効的に内部直流電圧を生じさせるような駆動電圧波形を用いた場合、ある一定時間内、あるいは、複数フレーム内、もしくは、1フレーム内の一部に、その間に生じた内部直流電圧と逆極性の電圧波形などを挿入することによって、内部直流電圧の発生を抑制することができる。

【0048】

すなわち、本発明においては、オンまたはオフの二状態のうち一方の状態を選択する駆動をその選択期間内に実効的な内部直流電圧が生じる電圧信号によって行い、かつ、一定期間内に、実際上は液晶駆動に寄与しない内部直流電圧の大きさを制御する（低減させる）波形、例えば、逆極性電圧波形を挿入する。

【 0 0 4 9 】

この逆極性電圧波形を印加する時間は、理想的には、液晶の状態を選択する駆動電圧波形（印加電圧）の印加時間と同じだけ挿入することにより、電氣的に中性状態になる。しかし、実際上は、液晶駆動に寄与しない逆極性電圧波形を選択波形と同等時間分だけ挿入すると、その時間分だけビットプレーン時間を短くせざる得ず、表示画像の輝度、階調などの特性を劣化させてしまう原因になる。したがって、表示画像の輝度、階調などの特性を劣化させないためには、内部直流電圧の大きさを制御（低減）する電圧波形の印加時間は、なるべく短い方がよい。

【 0 0 5 0 】

本発明者らは、液晶駆動に寄与せず、内部直流電圧の大きさを制御（低減）する電圧波形を、液晶の状態を選択する駆動時間と同じ時間だけ挿入せず、それよりも短い時間範囲内で挿入することにより、不純物イオンが形成する内部直流電圧の発生を極めて効果的に抑制することができ、表示異常の防止、ならびに、長期間にわたる表示信頼性の確保ができる駆動方法を見出し、本発明に至ったものである。

【 0 0 5 1 】

液晶表示素子の内部直流電圧は、ある駆動電圧波形を印加した後に残る電極間の電圧により定義される。これは、液晶セル中に存在する不純物イオンが駆動電圧波形の実効的な直流成分などにより分極し、このように分極した不純物イオンが電界を形成して生じると考えられている。

【 0 0 5 2 】

実際に、非対称な駆動電圧波形を印加した場合には、図 8 に示すように、両電極間に残留する直流成分の電圧が測定される。これに対して、セル構造も対向する電極間で対称で、かつ、対称な駆動電圧波形を印加した場合には、内部直流電

圧は、誤差範囲内でゼロとなる。なお、内部直流電圧値の算出法としては、図 9 及び図 10 に示すように、測定中、開回路になった時刻を 0 とし、モニターされる電圧値を対数プロットし、平坦部を直線で時刻 0 に外挿したときの値を内部直流電圧値とした。

【0053】

この内部直流電圧は、一定期間内において駆動電圧波形に関らずに存在するため、あたかも駆動電圧波形の接地電位（GND）が内部直流電圧の形成する電界分だけオフセットされたような現象が生ずることが予想される。

【0054】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明する。

（1）液晶表示素子の作製工程

以下、本発明に係る液晶表示素子の駆動方法が適用される液晶表示素子の作製工程から説明する。

【0055】

液晶パネルの作製プロセス及び透過光の応答測定が簡便であるため、以下の測定に用いた液晶パネルは、すべて、図 5 に示すように、上下各基板ともが透明電極を有する透過型パネルである。また、図 3 に示すように、一方の基板を A1 反射膜で覆った反射型パネルにおいても、パネル作製のプロセス及び反射光応答測定ともに、基本的には、透過型パネルの場合と同様である。但し、反射型パネルでは、入射光が液晶部を二度通過するために、実効的なリターデーションは、同一のセルギャップを有する透過型パネルの二倍となる。

【0056】

以下に、液晶表示素子の作製法を示す。液晶の注入の終了までの全てのプロセスは、クリーンルーム内で行う。

【0057】

〔透明電極の形成〕

まず、ガラス基板の片面に、スパッタ法により、ITO からなる透明電極材料層を形成し、フォトリソグラフィ法により、所定のパターンの透明電極を形成す

る。このパターニングの一般的な手順は、以下に示すものである。

【 0 0 5 8 】

- (1) I T O のスパッタ
- (2) レジストのスピコート
- (3) レジスト膜の前焼成、本焼成
- (4) レジスト膜の露光
- (5) レジスト膜のエッチング
- (6) I T O のエッチング
- (7) 洗浄
- (8) レジスト膜の剥離
- (9) 洗浄

〔基板の洗浄〕

クリーンルーム内において、ガラス基板の洗浄及び乾燥処理を行う。この洗浄及び乾燥処理は、例えば、「三槽式超音波洗浄器」（サン電子株式会社製など）を用いて、下記のように行う。

【 0 0 5 9 】

第一層については、アルカリ洗浄（スキヤット×20）を用い、浴温45℃にして基板を揺動させながら、超音波洗浄を3分間行う。

第二層については、純水シャワーを浴びせながら、基板を揺動させつつ、3分間の超音波すすぎを3回行い、アルカリ洗剤を流し落とす。

第三層については、基板を浴温80℃の純水に1分間漬けた後、エレベータ機構により、基板を該純水から徐々に引き上げ、放置乾燥を行う。

【 0 0 6 0 】

さらに、例えば、「UVドライ・ステッパ・クリーナ」（サムコインターナショナル研究所株式会社製）を用いて、室温で10分間、UVオゾン洗浄を行う。

【 0 0 6 1 】

〔配向膜の作製〕

液晶配向法には、大別して二通りがある。一つは、有機薄膜のラビング法であり、もう一つは、SiO（酸化シリコン）などの無機材料の斜め蒸着法である。

ラビング膜を配向膜に用いる場合には、生産性は良く、大面積化も容易である点から、現在、工業的には、ラビング膜を配向膜として液晶表示素子が多く生産されている。一方、配向膜にSiO斜方蒸着膜を用いた場合、生産性には問題があるものの、良好なメモリー性を実現することが可能である。

【0062】

そこで、液晶表示素子の配向膜材料による液晶の配向特性の違いを検討する。ここで、配向膜材料は、例えば、SiO斜方蒸着膜、JSR社製ポリイミド（以下PIと略す）「AL0656」などを用いることができる。

【0063】

【SiO斜方蒸着膜】

SiO斜方蒸着膜は、以下に示すような方法で作製する。蒸着源のSiO（蒸着物質）は、点源となる穴をもつ蒸着ボート内に収容する。SiOと蒸着箇所を結ぶ線と、ガラス基板の蒸着面の法線との角度 θ を、例えば、 85° に設定して蒸着する。膜の構造を均一にするために、この角度 θ としては、数度以内の精度が要求される。また、蒸着源と蒸着箇所との距離も、SiOピラーの形状や膜厚分布に影響するため、例えば、40cm以上離す。

【0064】

【ラビング膜】

ポリイミドラビング配向膜は、以下のような方法で成膜する。まず、基板を所定の回転速度（例えば、回転数3500rpm）で回転させ、スピコート法により、例えば、JSR社製PI配向膜「AL0656」を塗布する。そして、 180°C で4時間焼成した後、ローラー回転数300rpm、ステージ速度2mm/sec、押し込み量0.200mmの条件で、ラビング処理する。

【0065】

【セルの組み立て】

上述した配向膜及びITO付きのガラス基板を2枚用意し、配向面同士を対向させ、配向処理方向を平行として組み込む。これら2枚のガラス基板のうち1枚の配向膜上に、表示領域の外側となるように、ギャップ材を分散させた紫外線硬化樹脂をシール印刷により塗布する。ギャップ材としては、例えば、触媒化成社

製の 1.0 μm 径の真糸球を用いることができる。このようなギャップ材を分散させた紫外線硬化樹脂としては、例えば「フォトレク」（商品名：東レファインケミカル社製）などがある。そして、2枚のガラス基板を組み合わせ、紫外線を照射して樹脂を硬化させ、1.0 μm の間隙を有するセルを作製する。

【0066】

〔液晶の注入〕

次に、液晶素子を恒温槽中に放置し、液晶が等方相となる温度に昇温した後、セルの一部に設けた注入口を強誘電性液晶に浸す。強誘電性液晶としては、例えば、チッソ社製の「CS-1031」、「CS-1025」、「CS-1028」などを用いる。その後、セルを 1° C/min の速度で室温まで冷却し、恒温槽より取り出す。そして、注入口をシール（密封）することにより、液晶パネルの組み立てが終了する。

【0067】

（2）本発明の実施に使用する液晶材料及びパネル構成部材

本発明に係る液晶表示素子の駆動方法を実施する液晶表示素子に使用可能な強誘電性液晶は、実際には、カイラル化合物と非カイラル化合物とを混合して液晶となるものよいが、いずれかの 1 種類のみからなるものであってもよいし、複数種類を混合したものであっても良い。

【0068】

ここで、カイラル化合物としては、ピリミジン系、ビフェニル系、フェニルベンゾエート系などがある（ただし、これらの強誘電性液晶は、温度の変化により、カイラルネマチック相、スメチック相などを示すことがある）。また、非カイラル化合物としては、ビフェニル系、ターフェニル系、3環シクロヘキシル系、シクロヘキシル系、ビフェニルシクロヘキサン系、シクロヘキシルエタン系、エステル系、ピリミジン系、ピリダジン系、エタン系、ジオキサン系などがある。

【0069】

また、上述の強誘電性液晶に代えて、反強誘電性液晶を使用することもできる。さらに、上述の強誘電性液晶に代えて、「TN」モード、「STN」モードに適用することができるネマチック性液晶も使用することができる。

【 0 0 7 0 】

液晶素子の構成部材についても、基板として透明ガラス基板を、電極層としてITOやアルミニウムなどを、液晶配向膜としてラビング処理をしたポリイミド膜やSiO斜方蒸着膜を、それぞれ使用することができる。電極層としては、ITO以外にも、酸化錫、酸化インジウムなどの透明電極を使用することができる。透明基板、スペーサー、シール材などの液晶素子の構成材料も、従来から知られている種々の材料を使用することができる。また、液晶表示素子を反射型として使用する場合には、反射膜として、アルミニウム、銀等、反射率の高い材料を使用することができる。

【 0 0 7 1 】

なお、上述の液晶素子は、光変調器以外にも、光シャッター、光スイッチ、光ブラインドなどとしても使用でき、さらに、電気光学素子などを組合せれば、A/D変換器、光ロジック回路にも応用することができる。

【 0 0 7 2 】

(3) 電気光学特性の測定

クロスニコル下で液晶パネルを顕微鏡下に配置し、例えば、ソニーテクロニクス社製「任意波形発生装置AWG-2021」を用いて、液晶パネルに所期の駆動電圧波形を印加する。そして、各駆動電圧波形に対応した状態における透過光強度を、光電子増倍管により検出する。この光電子増倍管の出力は、例えば、ソニーテクロニクス社製のデジタルオシロスコープを介して、制御回路（コンピュータ）に取り込まれる。

【 0 0 7 3 】

(4) 内部直流電圧の測定

内部直流電圧測定は、例えば、東陽テクニカ社製「任意波形発生装置BIOMATTON Pragmatic 2202A」などを用いて、まず、この波形発生装置から出力された駆動電圧波形を、例えば、同社製「高圧サンプル・ホールドアンプVHR-AMP01」を介して、シールドボックス中の液晶パネルに印加する。

【 0 0 7 4 】

「高圧サンプル・ホールドアンプVHR-AMP01」は、波形発生装置から

同期して出力される制御電圧波形がオフ状態になると、液晶パネルの電極間を開回路電圧として、「V G 端子」－「O U T 端子」間の電圧を検出する。この検出出力は、A / D（アナログ／デジタル）コンバータ、もしくは、オシロスコープを介して、制御回路（コンピュータ）に取り組みれる。

【 0 0 7 5 】

シールドボックスは、恒温槽中に置かれており、任意の温度（通常は 40°C ）を維持して測定ができる。開回路操作を行う直前において、0 V でない電圧波形が印加されている場合には、液晶パネルからの静電的（電子的）な注入電荷が測定に影響することがある。そのため、短い時間（例えば $100\ \mu\text{sec}$ ）に亘って電極間を短絡（0 V）して、そのような成分を取り除くことにより、電子の緩和より遅く、本来の測定対象であるイオン分極による内部直流電圧を観測することができる。

【 0 0 7 6 】

このようにして短絡する直前の内部直流電圧は、静電的（電子的）な注入電荷分があるため、直接には測定できない。そこで、短絡後の両電極間電圧の時間経過に伴う変化を、電圧をログスケールでプロットし、短絡した直後の時間に外挿することで、図 8 に示すように、内部直流電圧値を求めることができる。また、任意の電圧波形を連続して印加して測定するとき、電圧の印加によって蓄積される内部直流電圧が小さい場合には、測定対象を、自発分極（以下、 P_s という）によって誘起される電圧から分離する必要がある。

【 0 0 7 7 】

そのため、通常の状態では測定した結果（ V_a ）と、短絡操作をする直前に P_s を前状態から反転させる $50\ \mu\text{sec}$ の逆極性電圧波形を印加した場合の結果（ V_b ）とを合わせ、 $\{(V_a + V_b) / 2\}$ を、イオンの分極による内部直流電圧値をとすることで、 P_s によって誘起される電圧成分を除去することができる。

【 0 0 7 8 】

ここで、各測定における初期状態を統一するために、測定直前に、10 分間に亘って、短絡状態で等方相となる温度まで昇温し、保持したのちに、室温まで冷却することで、再現性の良い結果が得られる。

【0079】

(5) 過渡電流測定

過渡電流測定は、例えば、東陽テクニカ社製「任意波形発生装置BIOMATION Pragmatic 2202A」などを用いて、まず、この波形発生装置から出力された駆動電圧波形を、例えば、同社製「電流電圧変換アンプModel 6250」を介して、シールドボックス中の液晶パネルに印加する。

【0080】

「電流電圧変換アンプModel 6250」は、波形発生装置から同期して出力される制御電圧波形がオン状態になると、電流検出操作を休止し、再び、制御電圧波形がオフ状態になると、電流検出操作を再開する。このような特性を利用することで、液晶パネルに印加される駆動電圧波形の電圧が急峻に変化する領域に制御電圧波形のオン状態を同期させ（ステップ状に変化する場合には、典型的には前 $10\mu\text{sec}$ 、後 $50\mu\text{sec}$ の計 $60\mu\text{sec}$ ）、値としては大きな突入電流（静電的（電子的）な注入電流成分）を除去することができる。そして、測定対象となる不純物イオンの変位にともなう値としては小さい電流成分のみを、高精度に観測することができる。

【0081】

また、「SSFLC」モードのパネルにおいては、図11に示すように、Ps反転に伴って発生するPs反転電流も観測することができ、液晶の配向変化を電流として観測することができる。この「SSFLC」モードでは、Ps反転電流も比較的大きな値をとるため、イオンの変位にともなう電流を観測するためには、図12に示すように、制御電圧波形をPs反転が完了する時間域まで長くする必要がある。

【0082】

(6) 本発明に用いた1ビットプレーンを構成する波形の形状

次に、本発明に係る液晶素子の駆動方法に用いる二状態を選択する1ビットプレーンの駆動電圧波形の形状を、図13乃至図17に示すように、順次説明する。図13乃至図17は、1ビットプレーンが $154.3\mu\text{sec}$ に相当するものを例として、駆動電圧波形の各種の例（波形A乃至波形E）を示すものである。

【 0 0 8 3 】

〔 1 ビットプレーン波形 A 〕

波形 A は、図 1 3 に示すように、オンまたはオフの二状態のうち、一方の状態を選択する電圧波形を正極電圧 V_1 (t_1) 及び $0V$ (t_2) の組合せとし、かつ、他方の状態を選択する電圧波形を負極電圧 V_2 (t_1) 及び $0V$ (t_2) の組合せとした例である。

〔 1 ビットプレーン波形 B 〕

波形 B は、図 1 4 に示すように、オンまたはオフの二状態のうち、一方の状態を選択する電圧波形を正極性の一定電圧 V_1 のみとし、かつ、他方の状態を選択する電圧波形を負極性の一定電圧 V_2 のみとした例である。

〔 1 ビットプレーン波形 C 〕

波形 C は、図 1 5 に示すように、オンまたはオフの二状態のうち、一方の状態を選択する電圧波形を正極電圧 V_1 , V_3 の組合せ (t_1 , t_2) とし、かつ、他方の状態を選択する電圧波形を負極電圧 V_2 , V_4 の組合せ (t_1 , t_2) とした例である。

〔 1 ビットプレーン波形 D 〕

波形 D は、図 1 6 に示すように、オンまたはオフの二状態のうち、一方の状態を選択する電圧波形を正極電圧 V_1 , V_3 と負極電圧 V_5 との組合せ (t_1 , t_2 , t_3) とし、かつ、他方の状態を選択する電圧波形を負極電圧 V_2 , V_4 と正極電圧 V_6 の組合せ (t_1 , t_2 , t_3) とし、それらの電圧の絶対値または時間幅が等しくなく、一状態の選択期間内に実効的に内部直流電圧が生じる駆動方法の一例である。

〔 1 ビットプレーン波形 E 〕

波形 E は、図 1 7 に示すように、オンまたはオフの二状態のうち、一方の状態を選択する電圧波形を正極電圧 V_1 , V_3 と負極電圧 V_5 ならびに $0V$ の組合せ (t_1 , t_2 , t_3 , t_4) とし、かつ、他方の状態を選択する電圧波形を負極電圧 V_2 , V_4 と正極電圧 V_6 ならびに $0V$ の組合せ (t_1 , t_2 , t_3 , t_4) とし、それらの正負極電圧の絶対値または時間幅が等しくなく、一状態の選択期間内に実効的に内部直流電圧が生じる駆動方法の一例である。

【 0 0 8 4 】

そして、本発明に係る液晶表示素子の駆動方法において用いる内部直流電圧を制御するための1ビットプレーンの電圧波形は、図18に示すように、オンまたはオフの二状態のうち、一方の状態を選択する駆動が、その選択期間内に実効的な内部直流電圧を生じる駆動電圧波形を用いる場合に使用され、かつ、ある一定期間内に、液晶駆動に寄与しない、内部直流電圧の大きさを制御（低減）するための逆極性の波形を挿入したものである。この図18に示した電圧波形は、本発明に係る液晶表示素子の駆動方法における内部直流電圧の制御電圧波形の一例であって、図14に示した波形Bの逆極性に対応するものである。

【 0 0 8 5 】

内部直流電圧を制御するための電圧波形は、図18に示した例に限られることなく、図13、図15乃至図17に示す波形A、波形C乃至波形Eの一方の状態を選択する電圧波形の形状で、かつ、一状態の選択期間内に生じた実効的な内部直流電圧と逆極性を示す電圧波形を用いることができる。この場合、全波形を通して、2種類の1ビットプレーン波形を組合せるだけでよいことになり、波形発生回路及び素子特性の負荷を低減することができる。

【 0 0 8 6 】

換言すれば、波形発生回路及び素子特性の負荷は大きくなるものの、内部直流電圧の抑制をより効果的に行う上では、図13乃至図17に示した波形A乃至波形Eの1ビットプレーン波形を別の組合せで用いることも、また複数組み合わせることも可能である。

【 0 0 8 7 】

本発明においては、これらの1ビットプレーン分、ないしは、複数ビットプレーン分を連続することで構成される内部直流電圧の制御電圧波形は、一状態の選択期間内に生じた実効的な内部直流電圧とは逆極性の直流電圧波形、もしくは、図13、図16、図17に示す波形A、波形D、波形Eの場合では、時間平均をした場合に疑似的な逆極性の直流電圧波形であることが最大の特徴である。

【 0 0 8 8 】

(7) 本発明における内部直流電圧制御波形を挿入した例

1ビットプレーンの電圧波形が図15乃至図17に示す波形C乃至波形Eであっても、時間平均をとることにより、図14に示す波形Bと見なせることから、以下に示すように、これら波形C乃至波形Eに対して、図14及び図18に示す波形B及び内部直流電圧を制御するための電圧波形を挿入することによって、内部直流電圧の制御を行うことができる。この制御電圧波形の印加中は、LED等による照明光を照射しないことにより、表示を行わないようにする。

【0089】

〔駆動電圧波形1〕

この例は、図19に示すように、1ビットプレーンを構成する電圧波形中に制御電圧波形を挿入した例である。

【0090】

図17に示した波形Eの諸パラメーターについて、 $V_2 = V_4$ 、 $V_1 = V_3$ 、 $t_1 = t_2 = 37.5 \mu\text{sec}$ 、 $t_3 = 112.5 \mu\text{sec}$ とした場合、1ビットプレーン中の最初の25%に内部直流電圧を制御する波形期間があり、その後に、液晶の一状態を選択する波形期間がある波形と見ることができる。

【0091】

ここで、液晶の状態を選択する波形期間が正極性電圧、制御電圧波形期間が負極性電圧からなる1ビットプレーン波形を108ビットプレーン連続してなる波形を駆動電圧波形1とする。

【0092】

〔駆動電圧波形2〕

この例は、図20に示すように、1フレームが108ビットプレーンから構成され、内部直流電圧の制御電圧波形を挿入していない例である。

【0093】

〔駆動電圧波形3〕

この例は、図21に示すように、1フレームが108ビットプレーンから構成され、36ビットプレーンごとに2ビットプレーン分、計6ビットプレーンの内部直流電圧の制御電圧波形を挿入した例である。

【0094】

〔駆動電圧波形 4〕

この例は、図 2 2 に示すように、1 フレームが 1 0 8 ビットプレーンから構成され、その中に 6 ビットプレーン分の連続する制御電圧波形を挿入した例である。この場合は、液晶の一状態を選択する波形の期間と内部直流電圧を制御する波形の期間との比率は、上述の「駆動電圧波形 3」と同じである。

【0 0 9 5】

〔駆動電圧波形 5 乃至 9〕

この例は、図 2 3 中の (A) 乃至 (E) に示すように、1 フレームが 1 0 8 ビットプレーンから構成される波形であって、挿入する制御電圧波形のビットプレーン数を、1 4、2 4、3 6、4 4、5 2 とした例である。この制御電圧波形期間は、時間幅としては、それぞれ、約 2. 1 6 msec、3. 7 0 msec、5. 5 5 msec、6. 7 9 msec、8. 0 2 msec に対応し、全波形中に占める割合としては、それぞれ、1 3 %、2 2 %、3 3 %、4 1 %、4 8 % に対応する。なお、駆動電圧波形 4 で示した 6 ビットプレーン分のものにおいては、全波形中に占める割合は 5. 6 % となる。

【0 0 9 6】

〔駆動電圧波形 1 0 乃至 1 2〕

この例は、図 2 4 中の (A) 乃至 (C) に示すように、1 フレームが 1 0 8 ビットプレーンから構成される波形であって、挿入する制御電圧波形を 2 4 ビットプレーン（時間幅 3. 7 0 msec、全波形中に占める割合 2 2 %）した場合で、1 0 8 ビットプレーン内に、均等に、3 分割、6 分割、1 2 分割した例である。

【0 0 9 7】

〔駆動電圧波形 1 3 乃至 1 9〕

上述した駆動電圧波形 1 乃至 1 2 においては、表示に關与する駆動電圧波形期間において、液晶の二状態のうちの正電圧で選択される状態のみを 1 フレーム、または、複数フレーム間に亘って連続させることにより発生する内部直流電圧を低減させるための制御電圧波形として、逆極性の負電圧波形を用いている。つまり、表示に關与する電圧波形期間では、正電圧に対する内部直流電圧が蓄積されることに対して、内部直流電圧制御波形の期間では、負電圧を印加することによ

り、内部直流電圧を低減させるものである。

【0098】

そして、ここでは、表示に関与する電圧波形期間が完全に正電圧波形でないような場合にあって、内部直流電圧制御波形として逆極性の電圧波形を印加することによって、内部直流電圧を抑制する効果があるかどうかの確認を行う。そのため、以下に、表示に関与する電圧波形期間について、正電圧によって選択される状態のみの状態から、内部直流電圧が蓄積されないような印加波形が電氣的に中性になる状態までに亘って、正電圧波形と負電圧波形との割合を変化させた場合について、内部直流電圧制御波形として負極性電圧を印加した結果について示す。

【0099】

すなわち、図25中の(A)乃至(D)に示すように、上述の駆動電圧波形7のように1フレームが108ビットプレーンから構成される波形において、挿入する制御電圧波形を36ビットプレーン分(時間幅5.55 msec、全波形中に占める割合33%)とした場合、表示に使用される波形は、72ビットプレーン分となる。そして、この72ビットプレーン分の表示に関与する波形期間が割り当てられる時間域で、正電圧波形の占める割合を、 $63/72$ (87.5%)、 $54/72$ (75%)、 $45/72$ (62.5%)、 $36/72$ (50%)として、36ビットプレーン分の制御電圧波形として負電圧波形を印加した例である。

【0100】

さらに、図26中の(E)乃至(G)に示すように、表示に関与する波形期間の時間域での正電圧波形の占める割合を、 $36/72$ (50%)とした場合について、この72ビットプレーン分の表示に関与する波形期間が割り当てられる時間域で1ビットプレーン毎に正負電圧波形を交互に繰り返す波形(E)、3ビットプレーン毎に正負電圧波形を交互に繰り返す波形(F)、6ビットプレーン毎に正負電圧波形を交互に繰り返す波形(G)というように、波形期間の周波数を変化させ、内部直流電圧制御波形として負極性電圧波形を挿入したものについて検討する。

【0101】

このような場合で、駆動電圧波形の振幅が正負対称 ($|V1| = |V2|$) であれば、表示に関与する期間で内部直流電圧は蓄積されないことから、制御期間では、0 Vの直流電圧を印加することが望ましい。しかしながら、内部直流電圧制御波形期間に正負電圧波形以外に0 Vを発生させるとなると、3通りの中で最適波形の判定及びその出力に関与する回路系が複雑になってしまう。そこで、簡便化のために、表示に関与する期間で内部直流電圧が蓄積されない場合であっても、制御電圧波形の発生ロジックとして正負どちらかの極性を有する電圧波形を挿入しなければならない状況を想定すると、図25及び図26中の(D)乃至(G)に示すように、本来、内部直流電圧を低減させるために用いてきた制御電圧波形の期間で、逆に内部直流電圧が発生してしまう。

【0102】

しかしながら、後述する実際の結果をみても明らかな通り、このような場合には、表示に関与する期間において内部直流電圧が蓄積されないような電圧波形となっており、この期間において制御期間に発生する内部直流電圧を抑制できることになる。

次に、「SSFLC」の双安定性（メモリー性）を用いた場合、図13に示した「1ビットプレーン波形A」が典型的波形として挙げられる。

【0103】

図13に示す液晶の二状態を選択する波形、図13及び図14の内部直流電圧制御波形を主に用いることで、内部直流電圧制御波形を挿入した例及びその効果について、以下に示す。なお、制御電圧波形の印加中は、LED等による照明光を照射せず、表示は行わないようにする。

【0104】

〔駆動電圧波形20〕

この例は、図27に示すように、1フレームが108ビットプレーンから構成されており、内部直流電圧制御波形を挿入していない状態を示している。

【0105】

〔駆動電圧波形21〕

この例は、図 2 8 に示すように、1 フレームが 1 0 8 ビットプレーンから構成され、3 6 ビットプレーンごとに 2 ビットプレーン分、計 6 ビットプレーンの内部直流電圧の制御電圧波形を挿入した例である。

【0 1 0 6】

〔駆動電圧波形 2 2〕

この例は、図 2 9 に示すように、1 フレームが 1 0 8 ビットプレーンから構成され、その中に 6 ビットプレーン分の連続する制御電圧波形を挿入した例である。この例では、晶の一状態を選択する波形とその内部直流電圧を制御する波形との比率は、図 2 8 に示した駆動電圧波形 2 1 と同じである。

【0 1 0 7】

〔駆動電圧波形 2 3 乃至 2 7〕

この例は、図 3 0 中の (A) 乃至 (E) に示すように、1 フレームが 1 0 8 ビットプレーンから構成される波形において、挿入する制御電圧波形のビットプレーン数を、1 4、2 4、3 6、4 4、5 2 とした例である。この制御電圧波形期間は、時間幅としては、それぞれ、約 2. 1 6 msec、3. 7 0 msec、5. 5 5 msec、6. 7 9 msec、8. 0 2 msec に対応し、全波形中に占める割合としては、それぞれ、1 3 %、2 2 %、3 3 %、4 1 %、4 8 % に対応している。なお、図 2 9 に示した駆動電圧波形 2 2 のように、制御電圧波形が 6 ビットプレーン分であるものについては、この制御電圧波形の全波形中に占める割合は 5. 6 % となる。

【0 1 0 8】

〔駆動電圧波形 2 8 乃至 3 0〕

この例は、図 3 1 中の (A) 乃至 (C) に示すように、1 フレームが 1 0 8 ビットプレーンから構成される波形において、挿入する制御電圧波形のビットプレーン波形として、図 1 8 及び図 1 4 に示した制御電圧波形を用いて、連続して、1 4、2 4、3 6 ビットプレーンを挿入した例である。

【0 1 0 9】

(8) 本発明に用いた駆動電圧波形の単位時間当たりの実効直流電圧について
上述の駆動電圧波形 1 乃至 3 0 のものについては、印加波形の正電圧と負電圧

との対称性を積極的になくしていることから、疑似的な直流（DC）駆動と言える。

【0 1 1 0】

これらの単位時間当たりの実効的な直流電圧成分を、以下に示す駆動電圧に基づいて、〔表 1〕乃至〔表 3〕、〔表 4〕乃至〔表 6〕に示すように、算出した

。

【0 1 1 1】

【表 1】

実施例 No.	駆動 波形 例	表示選択 波形電圧	内部DC 電圧制御 波形電圧	実効的 直流 電圧	実効的 直流 電圧比	24時間印加後の 内部DC電圧 (40℃)
1	1	+7V	-5V	3.500V	0.500	0.845V
4	2	+7V	-	7.000V	1.000	2.408V
7	3	+7V	-5V	6.333V	0.905	0.932V
10	4	+7V	-5V	6.333V	0.905	0.768V
13	5	+7V	-5V	5.444V	0.778	0.452V
16	6	+7V	-5V	4.333V	0.619	0.332V
19	7	+7V	-5V	3.000V	0.429	0.224V
22	8	+7V	-5V	2.111V	0.302	0.174V
25	9	+7V	-5V	1.222V	0.175	0.083V
28	10	+7V	-5V	4.333V	0.619	0.098V
31	11	+7V	-5V	4.333V	0.619	0.312V
34	12	+7V	-5V	4.333V	0.619	0.141V
37	13	+7V	-5V	2.000V	0.286	0.103V
40	14	+7V	-5V	1.000V	0.143	0.093V
43	15	+7V	-5V	0.000V	0.000	0.031V
6	16	+7V	-5V	-1.000V	-0.143	-0.015V
49	17	+5V	-5V	-1.667V	-0.333	-0.045V
52	18	+5V	-5V	-1.667V	-0.333	-0.038V
55	19	+5V	-5V	-1.667V	-0.333	-0.030V
58	5	-5V	+7V	-3.444V	-0.492	-0.311V
61	7	-5V	+7V	-1.000V	-0.143	-0.155V
64	5	+7V	0V	6.093V	0.870	0.613V
67	7	+7V	0V	4.666V	0.667	0.452V
70	17	+7V, -5V	0V	0.667V	0.095	0.021V

【0 1 1 2】

【表 2】

実施例 No.	駆動 波形 例	表示選択 波形電圧	内部DC 電圧制御 波形電圧	実効的 直流 電圧	実効的 直流 電圧比	24時間印加後の 内部DC電圧 (40°C)
2	1	+7V	-5V	3.500V	0.500	1.375V
5	2	+7V	-	7.000V	1.000	2.626V
8	3	+7V	-5V	6.333V	0.905	1.131V
8	4	+7V	-5V	6.333V	0.905	0.013V
14	5	+7V	-5V	5.444V	0.778	0.877V
17	6	+7V	-5V	4.333V	0.619	0.491V
20	7	+7V	-5V	3.000V	0.429	0.349V
23	8	+7V	-5V	2.111V	0.302	0.243V
26	9	+7V	-5V	1.222V	0.175	0.105V
29	10	+7V	-5V	4.333V	0.619	0.117V
32	11	+7V	-5V	4.333V	0.619	0.401V
35	12	+7V	-5V	4.333V	0.619	0.165V
38	13	+7V	-5V	2.000V	0.286	0.115V
41	14	+7V	-5V	1.000V	0.143	0.108V
44	15	+7V	-5V	0.000V	0.000	0.041V
47	16	+7V	-5V	-1.000V	-0.143	-0.018V
50	17	+5V	-5V	-1.667V	-0.333	-0.060V
53	18	+5V	-5V	-1.667V	-0.333	-0.047V
56	19	+5V	-5V	-1.667V	-0.333	-0.041V
59	5	-5V	+7V	-3.444V	-0.492	-0.401V
62	7	-5V	+7V	-1.000V	-0.143	-0.231V
5	5	+7V	0V	6.093V	0.870	0.901V
68	7	+7V	0V	4.666V	0.667	0.601V
71	17	+7V, -5V	0V	0.667V	0.095	0.035V

【 0 1 1 3 】

【表 3】

実施例 No.	駆動 波形 例	表示選択 波形電圧	内部DC 電圧制御 波形電圧	実効的 直流 電圧	実効的 直流 電圧比	24時間印加後の 内部DC電圧 (40℃)
3	1	+7V	-5V	3.500V	0.500	0.935V
6	2	+7V	-	7.000V	1.000	2.486V
9	3	+7V	-5V	6.333V	0.905	0.963V
12	4	+7V	-5V	6.333V	0.905	0.535V
5	5	+7V	-5V	5.444V	0.778	0.332V
18	6	+7V	-5V	4.333V	0.619	0.291V
21	7	+7V	-5V	3.000V	0.429	0.224V
24	8	+7V	-5V	2.111V	0.302	0.181V
27	9	+7V	-5V	1.222V	0.175	0.077V
30	10	+7V	-5V	4.333V	0.619	0.009V
33	11	+7V	-5V	4.333V	0.619	0.234V
36	12	+7V	-5V	4.333V	0.619	0.137V
39	13	+7V	-5V	2.000V	0.286	0.094V
42	14	+7V	-5V	1.000V	0.143	0.088V
45	15	+7V	-5V	0.000V	0.000	0.033V
48	16	+7V	-5V	-1.000V	-0.143	-0.011V
51	17	+5V	-5V	-1.667V	-0.333	-0.036V
54	18	+5V	-5V	-1.667V	-0.333	-0.040V
57	19	+5V	-5V	-1.667V	-0.333	-0.036V
60	5	-5V	+7V	-3.444V	-0.492	-0.220V
63	7	-5V	+7V	-1.000V	-0.143	-0.161V
66	5	+7V	0V	6.093V	0.870	0.593V
69	7	+7V	0V	4.666V	0.667	0.357V
72	17	+7V, -5V	0V	0.667V	0.095	0.024V

【0114】

ここで、駆動電圧波形例 1 乃至 16 では、表示選択波形 $V1 = +7V$ 、内部直流制御電圧波形 $V2 = -5V$ である。駆動電圧波形例 17 乃至 19 では、表示選択波形 $V1 = +5V$ 、内部直流制御電圧波形 $V2 = -5V$ である。

【0115】

駆動電圧波形例 5、7 については、表示選択波形 $V_1 = -5\text{ V}$ 、内部直流制御電圧波形 $V_2 = +7\text{ V}$ のもの、表示選択波形 $V_1 = +7\text{ V}$ 、内部直流制御電圧波形 $V_2 = 0\text{ V}$ のものも実施している。

【0 1 1 6】

また、駆動電圧波形例 17 では、表示選択波形 $V_1 = +7\text{ V}$ 、 $V_2 = -5\text{ V}$ 、内部直流制御電圧波形 0 V のものも実施している。

【0 1 1 7】

【表 4】

実施例 No.	駆動 波形 例	表示選択 波形電圧	内部DC 電圧制御 波形電圧	実効的 直流 電圧	実効的 直流 電圧比	24時間印加後の 内部DC電圧 (40°C)
73	20	+5V	-	1.666V	0.333	1.600V
76	21	+5V	-5V	1.481V	0.296	1.420V
79	22	+5V	-5V	1.481V	0.296	1.335V
82	23	+5V	-5V	1.235V	0.247	1.015V
85	24	+5V	-5V	0.926V	0.185	0.605V
88	25	+5V	-5V	0.555V	0.111	0.263V
91	26	+5V	-5V	0.306V	0.061	0.098V
94	27	+5V	-5V	0.062V	0.012	0.011V
97	28	+5V	-5V	0.432V	0.086	0.115V
100	29	+5V	-5V	0.268V	0.054	0.063V
103	30	+5V	-5V	0.062V	0.012	-0.102V

【 0 1 1 8 】

【表 5】

実施例 No.	駆動 波形 例	表示選択 波形電圧	内部DC 電圧制御 波形電圧	実効的 直流 電圧	実効的 直流 電圧比	24時間印加後の 内部DC電圧 (40°C)
74	20	+5V	-	1.666V	0.333	1.636V
77	21	+5V	-5V	1.481V	0.296	1.431V
80	22	+5V	-5V	1.481V	0.296	1.358V
83	23	+5V	-5V	1.235V	0.247	1.082V
86	24	+5V	-5V	0.926V	0.185	0.632V
89	25	+5V	-5V	0.555V	0.111	0.283V
92	26	+5V	-5V	0.306V	0.061	0.105V
95	27	+5V	-5V	0.062V	0.012	0.031V
98	28	+5V	-5V	0.432V	0.086	0.131V
101	29	+5V	-5V	0.268V	0.054	0.085V
104	30	+5V	-5V	0.062V	0.012	-0.121V

【0 1 1 9】

【表 6】

実施例 No.	駆動 波形 例	表示選択 波形電圧	内部DC 電圧制御 波形電圧	実効的 直流 電圧	実効的 直流 電圧比	24時間印加後の 内部DC電圧 (40°C)
75	20	+5V	—	1.666V	0.333	1.608V
78	21	+5V	-5V	1.481V	0.296	1.389V
81	22	+5V	-5V	1.481V	0.296	0.338V
84	23	+5V	-5V	1.235V	0.247	0.005V
87	24	+5V	-5V	0.926V	0.185	0.591V
90	25	+5V	-5V	0.555V	0.111	0.251V
93	26	+5V	-5V	0.306V	0.061	0.093V
96	27	+5V	-5V	0.062V	0.012	0.013V
99	28	+5V	-5V	0.432V	0.086	0.120V
102	29	+5V	-5V	0.268V	0.054	0.061V
105	30	+5V	-5V	0.062V	0.012	-0.095V

【0120】

駆動電圧波形例 20 乃至 30 については、表示選択波形 $V_1 = +5V$ 、内部直流制御電圧波形 $V_2 = -5V$ である。

【0121】

(9) 本発明に用いた駆動電圧波形の単位時間当たりの電圧面積強度の非対称

性パラメータについて

また、本発明に用いた駆動電圧波形 1 乃至 3 0 については、〔表 1〕乃至〔表 3〕、〔表 4〕乃至〔表 6〕に示すように、上記 (7) で述べた駆動電圧に基づいて、単位時間当たりの電圧積分強度を全構成波形中の印加電圧の絶対値の最大値で規格した値（面積強度の非対称性パラメータ R）を算出した。

【 0 1 2 2 】

以下に示すセル構成において駆動電圧波形を 4 0 ° C で連続印加した場合、2 4 時間印加後の内部直流電圧の蓄積量を〔表 1〕乃至〔表 3〕、〔表 4〕乃至〔表 6〕に示す。

【 0 1 2 3 】

すなわち、実施例 1 乃至 7 2 においては、配向膜は、「P I 配向膜」であり、液晶材料は、〔表 1〕、「C S - 1 0 3 1」、〔表 2〕に示すものでは、「C S - 1 0 2 5」、〔表 3〕に示すものでは、「C S - 1 0 2 8」である。

【 0 1 2 4 】

実施例 7 3 乃至 1 0 5 においては、配向膜は、「S i O 斜方蒸着膜」であり、液晶材料は、〔表 4〕に示すものでは、「C S - 1 0 3 1」であり、〔表 5〕に示すものでは、「C S - 1 0 2 5」であり、〔表 6〕に示すものでは、「C S - 1 0 2 8」である。

【 0 1 2 5 】

〔表 1〕乃至〔表 3〕から明らかなように、内部直流電圧の蓄積量は、液晶材料によらず、駆動電圧波形の種類により、同じようなプロファイルを示すことがわかる。また、内部直流電圧制御波形を挿入しない「駆動電圧波形 2」を用いた場合、内部直流電圧は、2. 5 V 程度まで蓄積される。

【 0 1 2 6 】

そして、表示選択波形期間がすべて正電圧による波形で、内部直流電圧を挿入した場合、「駆動電圧波形 3」及び「駆動電圧波形 4」のように、全体の 5. 6 % 程度の内部直流電圧制御波形を挿入しただけでも、内部直流電圧を抑制する効果が見られ、内部直流電圧は 1 V 以下程度まで低下する。また、内部直流電圧制御波形期間の比率を増加していくと、それに伴って、内部直流電圧は著しく減少

し、ほぼゼロとなる。

【0127】

1ビットプレーン内に内部直流電圧制御期間を25%挿入した「駆動電圧波形1」では、「駆動電圧波形4乃至9」の108ビットプレーンをひとまとめとして、内部直流電圧制御期間の比率を変えて挿入したものと比較すると、5.6%しか挿入していない「駆動電圧波形4」と同じである。この内部直流電圧制御波形を挿入する時間比率が小さい方が、表示特性としては好ましいことから、1ビットプレーン単位（乃至154.3 μ sec）の非常に速い領域で内部直流電圧制御波形を挿入するより、108ビットプレーン単位（1フレーム、16.6 msec以下）で挿入した方が、より顕著に効果が見られることが確認された。これらは、パネル内のイオンの移動を伴う分極速度と緩和速度とに相関していると考えられ、速い周波数の波形に対し、分極したイオンが内部直流電圧制御期間では応答しないためと考えられる。

【0128】

内部直流電圧制御期間を3.6 msec（24ビットプレーン分）とし、1フレーム内にこれらを分割して挿入した「駆動電圧波形10乃至12」では、9分割した「駆動電圧波形11」が最も内部直流電圧が蓄積され、3分割、12分割した「駆動電圧波形10、12」の方が小さい。なお、分割しない「駆動電圧波形6」と「駆動電圧波形11」の結果は、ほぼ同じである。これらの結果から、3分割ならびに12分割のように、ある領域を除いて、内部直流電圧制御期間を分割することにより、内部直流電圧の蓄積を抑制できることがわかる。

【0129】

表示選択波形期間が、すべて正電圧による波形から、正負電圧による波形が同数になるまでに亘って変え、かつ、内部直流電圧制御期間で負極電圧を印加した「駆動電圧波形7、13乃至16」でも、内部直流電圧の蓄積量は、ほぼゼロである。特に、表示選択波形期間で内部直流電圧が蓄積されない波形であるにもかかわらず、内部直流電圧制御期間で逆に内部直流電圧が蓄積されるような負極性電圧を挿入した「駆動電圧波形16乃至19」であっても、わずかに負極性の内部直流電圧となるが、ほぼゼロである。

【 0 1 3 0 】

前記述とは逆に、表示選択波形期間がすべて負電圧による波形で、内部直流電圧制御期間に正電圧波形を挿入した実施例 5 8 乃至実施例 6 3 でも、問題なく内部直流電圧の蓄積を抑制することができることが確認された。

【 0 1 3 1 】

表示選択波形期間がすべて正電圧による波形で、内部直流電圧制御期間に負電圧波形を 1 4、3 6 ビットプレーン分挿入した「駆動電圧波形 5、7」による実施例 1 3 乃至 1 5、1 9 乃至 2 1 に対して、内部直流電圧制御期間に 0 V 電圧波形を挿入した実施例 6 4 乃至 6 6、6 7 乃至 6 9 では、内部直流電圧の抑制効果が著しく低下してしまうことが確認できた。

【 0 1 3 2 】

確認事項として、表示選択波形期間で内部直流電圧が蓄積されない波形で、内部直流電圧制御波形として 0 V を印加したような実施例 7 0 乃至 7 2 では、誤差範囲以上には内部直流電圧が蓄積されないことが確認できた。

【 0 1 3 3 】

次に、〔表 4〕乃至〔表 6〕から明らかなように、内部直流電圧の蓄積量は、液晶材料によらず、駆動電圧波形の種類により、同じようなプロファイルを示す。また、実施例 1 乃至 7 2 に示した「P I 系配向膜」を用いた場合と実施例 7 3 乃至 1 0 5 に示した「S i O 斜方蒸着膜」を用いた場合とで、対応するもの同士を比較すると、「S i O 斜方蒸着膜」を用いた場合の方が、内部直流電圧の蓄積量は顕著に大きい。特に、内部直流電圧制御期間を挿入していないもの及び挿入期間が少ないものについては、ほぼ印加した駆動電圧波形の実効的な直流電圧分までが内部直流電圧として蓄積されししまう。このように、P I 系配向膜と S i O 斜方蒸着膜との違いは、たとえ同じ液晶材料を用いていても、パネルとして構成した後におけるパネル中のイオン量が、前者より後者の方が 1 桁以上多いことに起因する。

【 0 1 3 4 】

「駆動電圧波形 2 0、2 2 乃至 2 7」においては、内部直流電圧制御期間を挿入する比率を増加するにしたがって、内部直流電圧の蓄積量を抑制することがで

きる。「駆動電圧波形 2 2 乃至 2 4」における内部直流電圧制御期間のパルス波形を負極性直流電圧波形に置き換えた「駆動電圧波形 2 8 乃至 3 0」は、対応するパルス波形の場合よりも、顕著に内部直流電圧の蓄積を抑制できることが確認された。

【 0 1 3 5 】

実施例として、図 3 2 及び図 3 3 に示すように、液晶材料として「C S - 1 0 3 1」を用い、4 0 ° C において、各仕様のセルに各駆動電圧波形を印加時間を変えて印加した場合の、イオンによる内部直流電圧の蓄積量を確認した。「駆動電圧波形 2, 4 乃至 9」の場合について図 3 2 に示し、「駆動電圧波形 2 3 乃至 2 7」の場合について図 3 3 に示す。

【 0 1 3 6 】

図 3 2 から明らかなように、内部直流電圧制御波形が挿入されていない「駆動電圧波形 2」においては、電圧の印加時間に応じて、著しく内部直流電圧が蓄積されることが確認される。そして、内部直流電圧制御波形期間の全波形中に占める比率が増加するほど内部直流電圧の蓄積が抑制される傾向がある。ここで、「駆動電圧波形 4」においては、内部直流電圧制御期間の時間比率が 5. 6 % と少ないにもかかわらず、1 0 0 0 時間の連続印加に対して、内部直流電圧の蓄積は 1. 0 V 程度までに抑制されている。この蓄積量は、内部直流電圧制御期間を挿入しない「駆動電圧波形 2」を 2 4 時間印加したときの、2. 5 V 程度という蓄積量に比較すれば、明かに少なく、内部直流電圧制御波形を挿入した効果は明らかである。

【 0 1 3 7 】

さらに、「駆動電圧波形 4」よりも内部直流電圧制御期間の時間比率が高い「駆動電圧波形 5 乃至 9」においては、内部直流電圧の蓄積の抑制効果が顕著であり、1 0 0 0 時間の連続印加を行っても、内部直流電圧の蓄積は、ほぼゼロである。

【 0 1 3 8 】

次に、S i O 斜方蒸着膜を用いたパネルにおいては、イオン量が多く、内部直流電圧の蓄積速度が、図 3 2 に示した P I 系配向膜を用いた場合よりも速く、図

33から明らかなように、駆動電圧波形の印加時間にもなう内部直流電圧の蓄積量は、PI系配向膜を用いた場合よりも多い。すなわち、駆動電圧波形を1000時間印加した後は、内部直流電圧は、ほぼ印加波形の実効的な直流電圧まで蓄積されてしまう。ただ、内部直流電圧制御期間の時間比率が多くなると、内部直流電圧が印加波形の実効的な直流電圧まで蓄積されるのにかかる時間が長くなる。

【0139】

このように、SiO斜方蒸着膜のようなイオン量が多いパネルの場合には、内部直流電圧制御波形の挿入による内部直流電圧蓄積の抑制効果は小さい。

【0140】

以上に説明した実施例のように、本発明によれば、液晶のオンまたはオフの二状態のうち一方の状態を選択する駆動をその選択期間内に実効的な内部直流電圧が生じる駆動電圧波形によって行い、かつ、ある一定期間内に実際上は液晶駆動に寄与しない、内部直流電圧の大きさを制御（低減）する電圧波形、例えば逆極性電圧波形を挿入することによって、内部直流電圧の蓄積を顕著に抑制することができる。

【0141】

このとき、逆極性電圧波形は、理想的には、液晶の状態を選択する駆動電圧波形（印加電圧）の印加時間と同じ時間だけ挿入することにより、電気的な中性状態を実現できるが、それよりも短い時間のある範囲内で挿入することによっても、不純物イオンが形成する内部直流電圧の発生を極めて効果的に抑制することができ、表示異常の防止及び長期間にわたる表示信頼性の確保ができる駆動条件を見出した。

【0142】

すなわち、内部直流電圧制御期間の比率は、できるだけ大きく、波形全体の50%までもっていくことにより、内部直流電圧の蓄積は抑制できる。ただし、50%まですると、液晶の二状態のうち一方の状態を選択する駆動と内部直流電圧を制御するための駆動とが1対1となり、従来通りの駆動方法となる。また、内部直流電圧制御期間の比率を大きくすると、ビットプレーン時間を短くせざる

得ず、表示画像の輝度、階調などの特性を劣化させてしまう原因になる。

【0143】

そこで、これら、相反する結果にあって、表示画像の輝度、階調などの特性を劣化させずに内部直流電圧の大きさを制御（低減）する波形の条件として、内部直流電圧制御期間は、1フィールドの単位時間あたり、5%以上50%未満挿入することが望ましく、さらに好ましくは、10%以上35%以下とすることにより、両者の条件を最適化することができる。

【0144】

そして、この駆動電圧波形中に挿入する内部直流電圧制御波形の極性は、表示波形期間で出力される正負電圧信号において、偏りの大きい極性とは逆極性のものである必要がある。そのため、挿入する内部直流電圧制御波形の極性を判断するための機構を、駆動回路に組み入れる必要がある。

【0145】

なお、表示波形期間において、必ずしも正極性電圧に偏ったビットプレーン数と負極性電圧に偏ったビットプレーン数との差だけによって、多い方の極性とは逆の極性の内部直流電圧制御波形を発生させる必要はない。このようなビットプレーン数の差だけによって、内部直流電圧制御波形を決定したとすると、特に、正極性電圧と負極性電圧のビットプレーン数が同数に近いような場合には、ある偏り差の点から制御電圧波形の極性が逆転してしまうことになる。

【0146】

したがって、駆動電圧波形を構成する図13乃至図17に示したビットプレーン波形（波形A乃至波形E）の各電圧に応じて、予め、印加電圧の単位時間当たりの電界強度の最小値になるように設計するか、または、実際に偏りをずらし、内部直流電圧を測定しながら、内部直流電圧が最小となるように内部直流電圧制御期間の極性変更点を決める必要がある。

【0147】

以上に説明した実施例から、本発明により、表示画像が高精細、高コントラストであり、また、画素内階調表示が可能であり、さらに、高信頼性、低消費電力、薄型軽量などの特徴を有する液晶表示素子を実現することができる。また、本

発明によれば、液晶表示素子の製造工程を短縮し、生産性の向上とコストの低減をもたらすことができるので、安価に製造できて良好な表示特性を有する液晶素子を提供でき、さらには、この液晶表示素子を応用した投射型ディスプレイ装置等を提供することができる。

【 0 1 4 8 】

なお、以上に述べた本発明の実施例は、本発明の技術的思想に基づいて、さらに変形が可能である。例えば、上述した駆動電圧波形をはじめとする駆動条件は、本発明の目的を達成できる範囲内で様々に変化させることができる。また、上述の実施例では、液晶表示素子において、入射光の反射及び非反射の二つの状態のいずれか、または、入射光の透過及び非透過の二つの状態のいずれかを選択するようにしているが、これ以外にも、入射光の偏光及び非偏光状態のいずれか、または、入射光の旋光及び非旋光状態のいずれかなど、実質的にオンとオフの二つの状態のいずれかを選択するような駆動方法としてもよい。

【 0 1 4 9 】

【発明の効果】

上述のように、本発明に係る液晶表示素子の駆動方法においては、第1の電極が設けられた第1の基板と第2の電極が設けられた第2の基板とが、該第1の電極及び該第2の電極が設けられた側を相対向させて所定の間隔を隔てて配置され、これら各基板間に液晶が封入されて構成された液晶表示素子を駆動するにあたって、該第1の電極及び該第2の電極間に印加する電圧信号によって、入射光の反射状態及び非反射状態、または、入射光の透過状態及び非透過状態、あるいは、入射光の偏光状態及び非偏光状態、もしくは、入射光の旋光状態及び非旋光状態、すなわち、オンまたはオフの二状態を切替えることにより、画像表示を行う液晶表示素子、例えば、液晶光変調型表示素子、液晶光変調器などの駆動方法において、一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において、表示信号期間と、表示には関与しない制御信号期間とからなる駆動電圧波形を用いることにより、内部直流電圧の発生を極めて効果的に抑制することができる。

すなわち、本発明は、十分なビットプレーン時間を確保しつつ、簡単で、かつ

、不純物イオンによる表示画像の質の劣化が生じないようになされた液晶表示素子の駆動方法を提供することができるものである。

【図面の簡単な説明】

【図 1】

本発明に係る液晶表示素子の駆動方法が適用される強誘電性液晶表示素子における液晶分子の構成を示す斜視図である。

【図 2】

上記液晶表示素子における印加電圧と透過率との関係を示すグラフである。

【図 3】

上記液晶表示素子の構成を示す縦断面図である。

【図 4】

上記液晶表示素子の反射型の動作状態を示す斜視図である。

【図 5】

上記液晶表示素子の透過型の動作状態を示す斜視図である。

【図 6】

上記液晶表示素子における 1 フレーム時間内におけるビットプレーンと光強度との関係を示すグラフである。

【図 7】

上記液晶表示素子における各ビットプレーンにおける電圧印加と透過率（反射率）との関係を示すタイムチャートである。

【図 8】

上記液晶表示素子において非対称な駆動電圧波形を印加した場合の短絡操作後の開回路モニター時間と開回路電圧との関係を示すグラフである。

【図 9】

上記液晶表示素子において内部直流電圧値を算出するための短絡操作後の開回路モニター時間と開回路電圧との関係を示すグラフである。

【図 10】

上記液晶表示素子における種々の条件下における短絡操作後の開回路モニター時間と開回路電圧との関係を示すグラフである。

【図 1 1】

「SSFLC」モードのパネルにおけるPs（自発分極）反転に伴うPs反転電流を示すグラフである。

【図 1 2】

「SSFLC」モードのパネルにおけるPs（自発分極）反転に伴うPs反転電流を示すグラフであって、上記図 1 1 よりも観測時間を長くしたものである。

【図 1 3】

上記液晶表示素子におけるビットプレーン波形の例（波形A）を示すタイムチャートである。

【図 1 4】

上記液晶表示素子におけるビットプレーン波形の例（波形B）を示すタイムチャートである。

【図 1 5】

上記液晶表示素子におけるビットプレーン波形の例（波形C）を示すタイムチャートである。

【図 1 6】

上記液晶表示素子におけるビットプレーン波形の例（波形D）を示すタイムチャートである。

【図 1 7】

上記液晶表示素子におけるビットプレーン波形の例（波形E）を示すタイムチャートである。

【図 1 8】

上記液晶表示素子における内部直流電圧制御波形を示すタイムチャートである。

【図 1 9】

上記液晶表示素子において1ビットプレーンを構成する電圧波形中に制御電圧波形を挿入した「駆動波形1」であって、正極性電圧によって表示をさせる1ビットプレーン波形及び負極性電圧によって表示をさせる1ビットプレーン波形を示すタイムチャートである。

【図 2 0】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成され、内部直流電圧の制御電圧波形を挿入していない「駆動電圧波形 2」を示すタイムチャートである。

【図 2 1】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成され、3 6 ビットプレーンごとに 2 ビットプレーン分、計 6 ビットプレーンの内部直流電圧の制御電圧波形を挿入した「駆動電圧波形 3」を示すタイムチャートである。

【図 2 2】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成され、その中に 6 ビットプレーン分の連続する制御電圧波形を挿入した「駆動電圧波形 4」を示すタイムチャートである。

【図 2 3】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成される波形であって、挿入する制御電圧波形のビットプレーン数を、1 4（図中（A））、2 4（図中（B））、3 6（図中（C））、4 4（図中（D））、5 2（図中（E））とした「駆動電圧波形 5 乃至 9」を示すタイムチャートである。

【図 2 4】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成される波形であって、挿入する制御電圧波形を 2 4 ビットプレーン（時間幅 3. 7 0 msec、全波形中に占める割合 2 2 %）した場合で、（A）乃至（C）は、1 0 8 ビットプレーン内に、均等に、3 分割、6 分割、1 2 分割した「駆動電圧波形 1 0 乃至 1 2」を示すタイムチャートである。

【図 2 5】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成される波形において、挿入する制御電圧波形を 3 6 ビットプレーン分（時間幅 5. 5 5 msec、全波形中に占める割合 3 3 %）とし、表示に使用される 7 2

ビットプレーン分の表示に関与する波形期間が割り当てられる時間域で、(A)乃至(D)は、正電圧波形の占める割合を、 $63/72$ (87.5%)、 $54/72$ (75%)、 $45/72$ (62.5%)、 $36/72$ (50%)とし、36ビットプレーン分の制御電圧波形として負電圧波形を印加した「駆動電圧波形13乃至19」を示すタイムチャートである。

【図26】

上記液晶表示素子において使用される1フレームが108ビットプレーンから構成される波形において、挿入する制御電圧波形を36ビットプレーン分(時間幅5.55 msec、全波形中に占める割合33%)とし、表示に使用される72ビットプレーン分の表示に関与する波形期間が割り当てられる時間域で、正電圧波形の占める割合を、 $36/72$ (50%)とした場合について、この72ビットプレーン分の表示に関与する波形期間が割り当てられる時間域で1ビットプレーン毎に正負電圧波形を交互に繰り返す波形(図中波形(E))、3ビットプレーン毎に正負電圧波形を交互に繰り返す波形(図中波形(F))、6ビットプレーン毎に正負電圧波形を交互に繰り返す波形(図中波形(G))というように、波形期間の周波数を変化させ、内部直流電圧制御波形として負極性電圧波形を挿入したもののタイムチャートである。

【図27】

上記液晶表示素子において使用される1フレームが108ビットプレーンから構成されており、内部直流電圧制御波形を挿入していない「駆動電圧波形20」を示すタイムチャートである。

【図28】

上記液晶表示素子において使用される1フレームが108ビットプレーンから構成され、36ビットプレーンごとに2ビットプレーン分、計6ビットプレーンの内部直流電圧の制御電圧波形を挿入した「駆動電圧波形21」を示すタイムチャートである。

【図29】

上記液晶表示素子において使用される1フレームが108ビットプレーンから構成され、その中に6ビットプレーン分の連続する制御電圧波形を挿入した「駆

動電圧波形 2 2」を示すタイムチャートである。

【図 3 0】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成される波形において、挿入する制御電圧波形のビットプレーン数を、1 4（図中波形（A））、2 4（図中波形（B））、3 6（図中波形（C））、4 4（図中波形（D））、5 2（図中波形（E））とした「駆動電圧波形 2 3 乃至 2 7」を示すタイムチャートである。

【図 3 1】

上記液晶表示素子において使用される 1 フレームが 1 0 8 ビットプレーンから構成される波形において、挿入する制御電圧波形のビットプレーン波形として、図 1 4 及び図 1 8 に示した制御電圧波形を用いて、連続して、1 4（図中波形（A））、2 4（図中波形（B））、3 6（図中波形（C））ビットプレーンを挿入した「駆動電圧波形 2 8 乃至 3 0」を示すタイムチャートである。

【図 3 2】

上記液晶表示素子において「駆動電圧波形 2 乃至 9」を印加した場合の時間経過に対する内部直流電圧の蓄積量を示すグラフである。

【図 3 3】

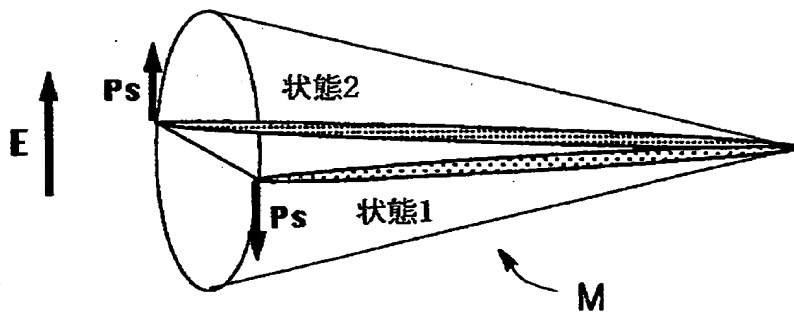
上記液晶表示素子において「駆動電圧波形 2 3 至 2 7」を印加した場合の時間経過に対する内部直流電圧の蓄積量を示すグラフである。

【符号の説明】

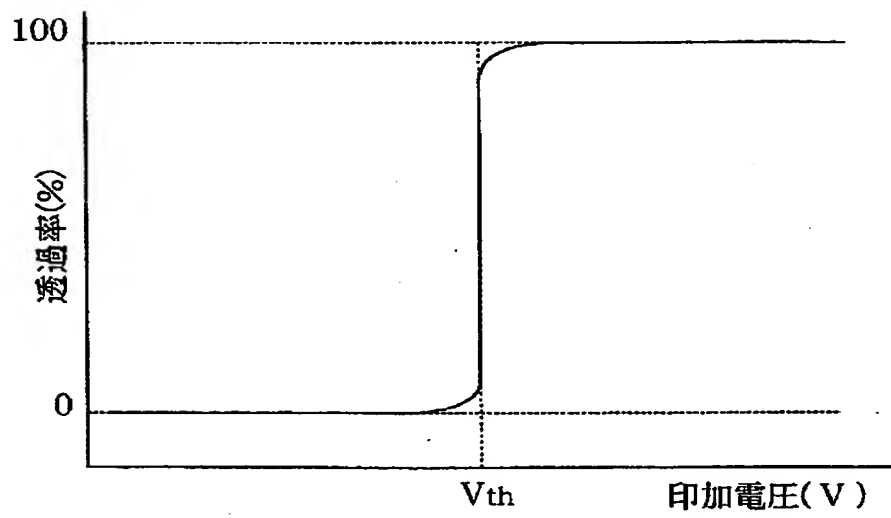
1 a ガラス基板、1 b I T O、1 c、2 c 液晶配向膜、2 a 回路基板、2 b アルミニウム、3 スペーサ、4 強誘電性液晶、1 1 強誘電性液晶変調型表示素子

【書類名】 図面

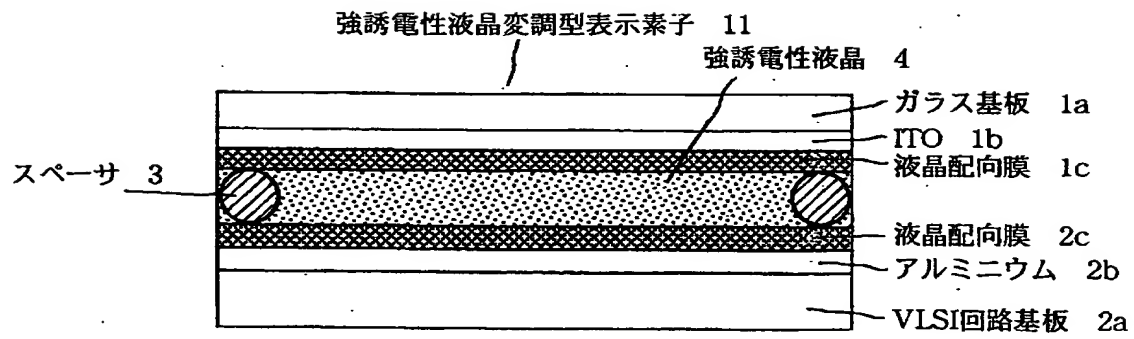
【図1】



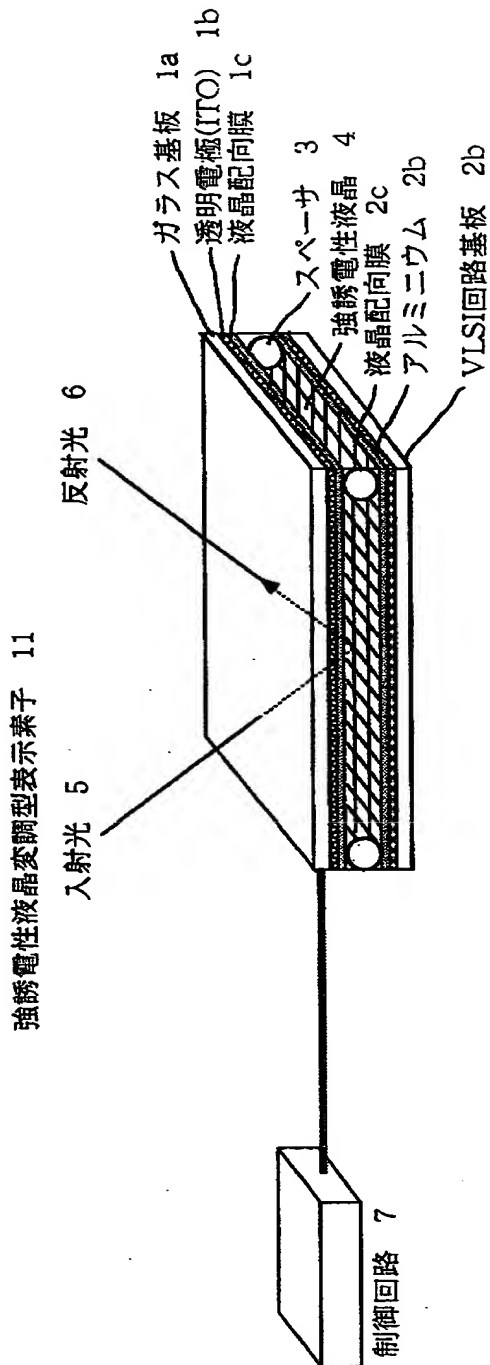
【図2】



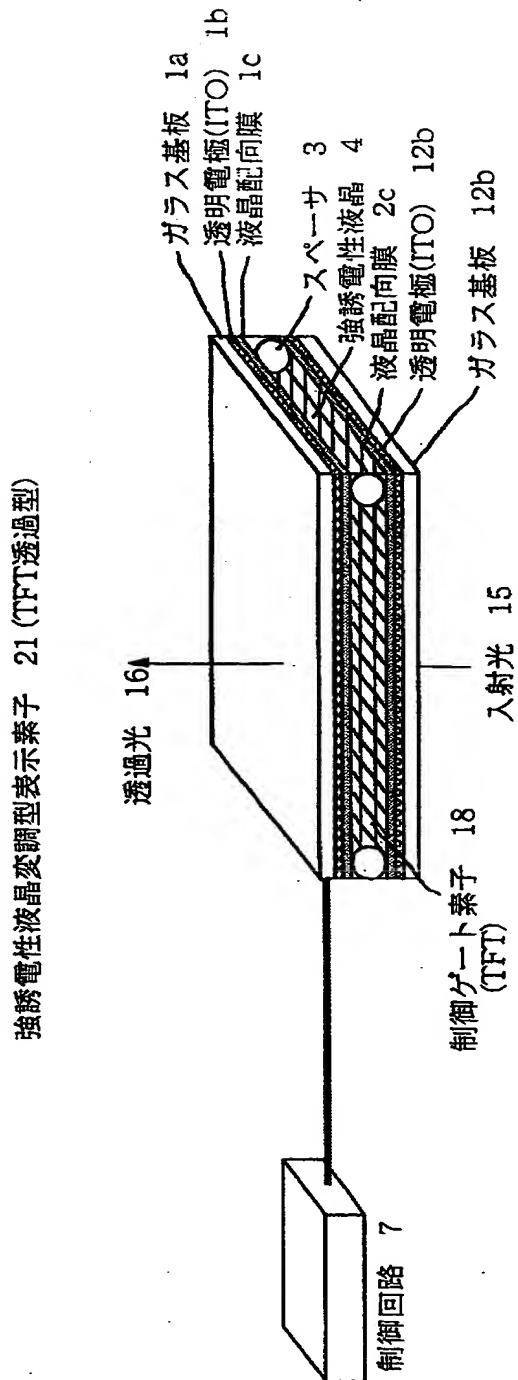
【図 3】



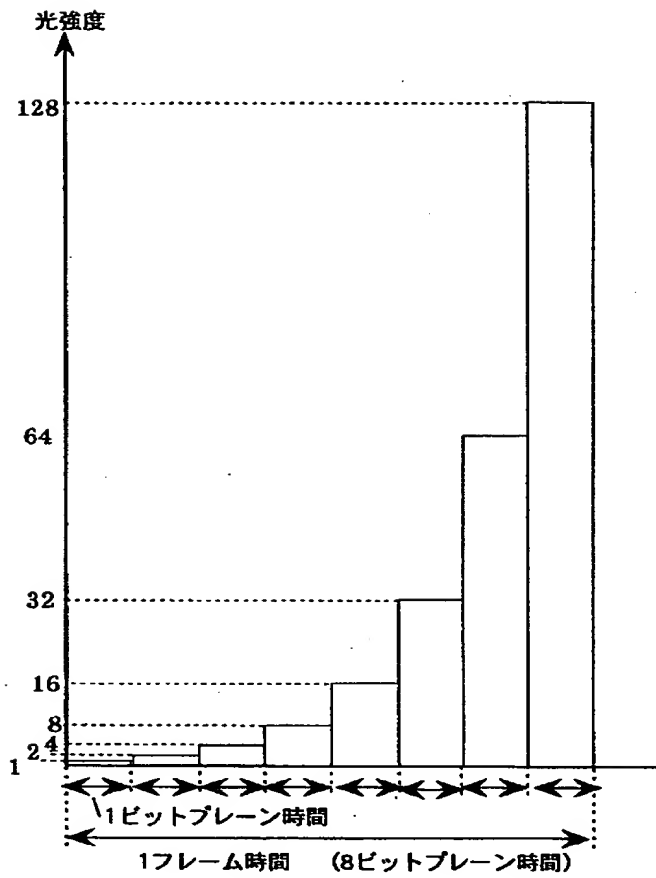
【図4】



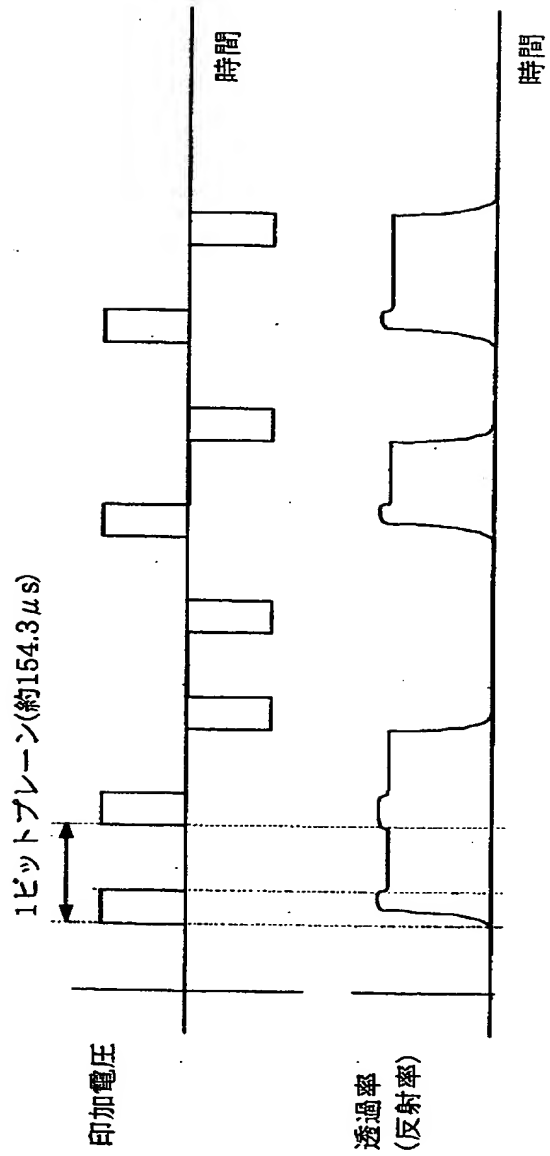
【図 5】



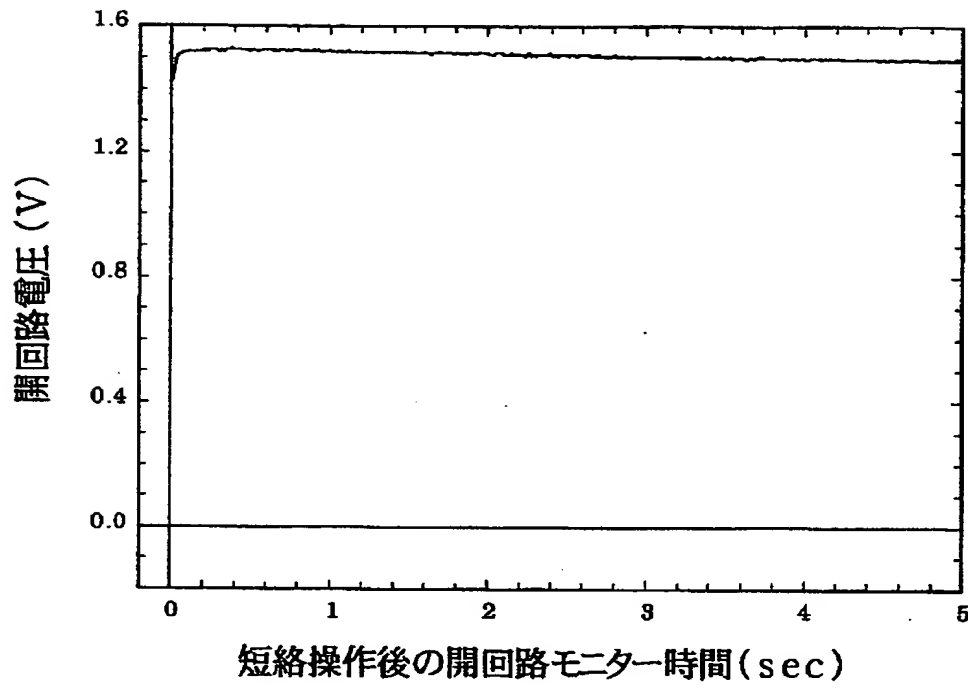
【図 6】



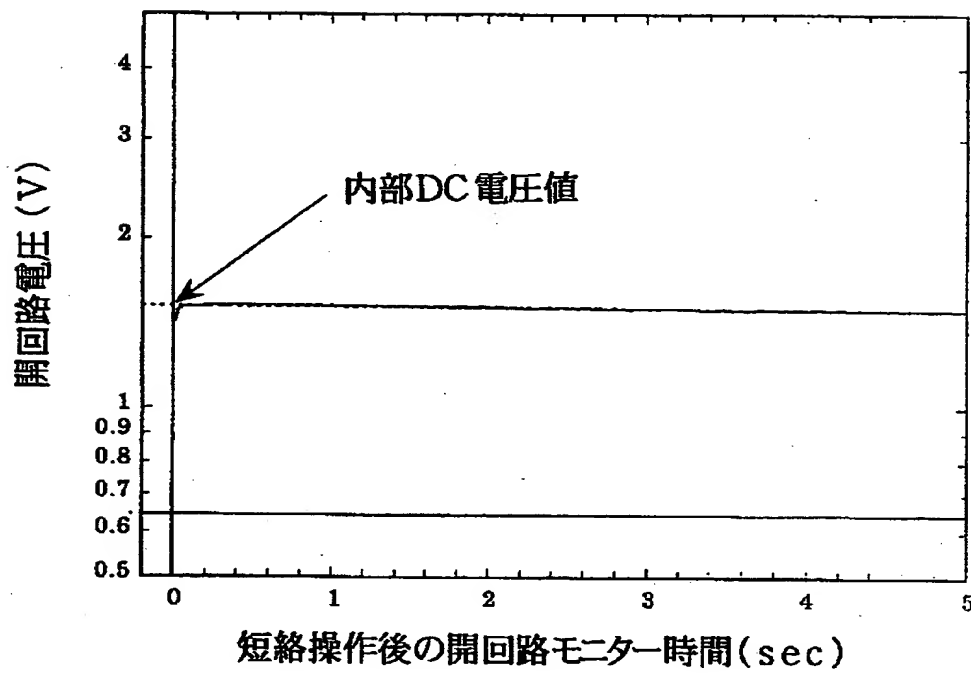
【図7】



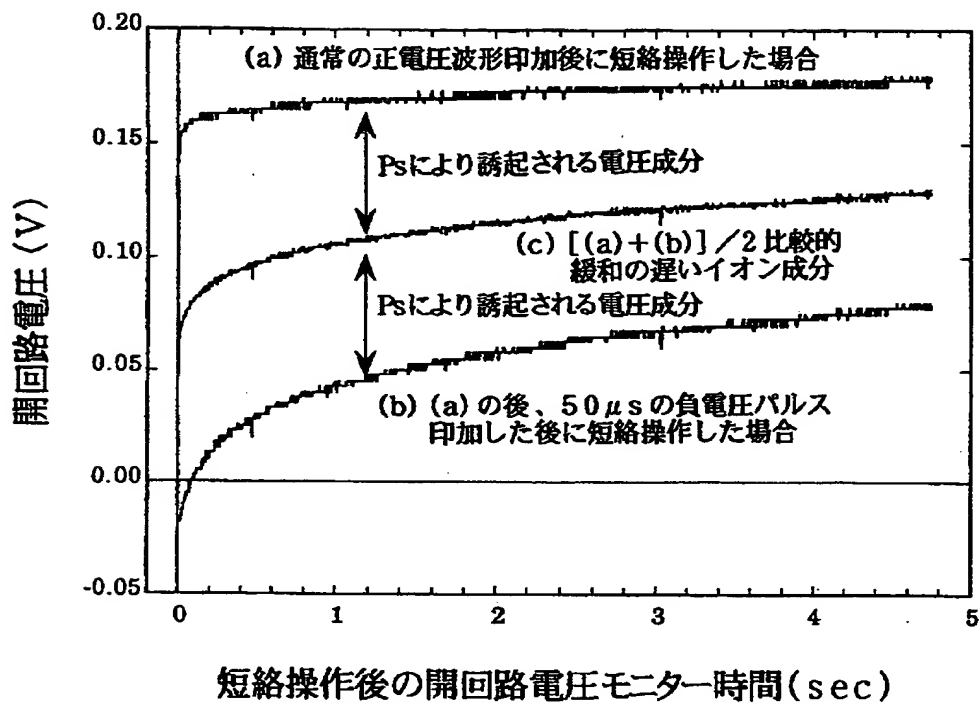
【図 8】



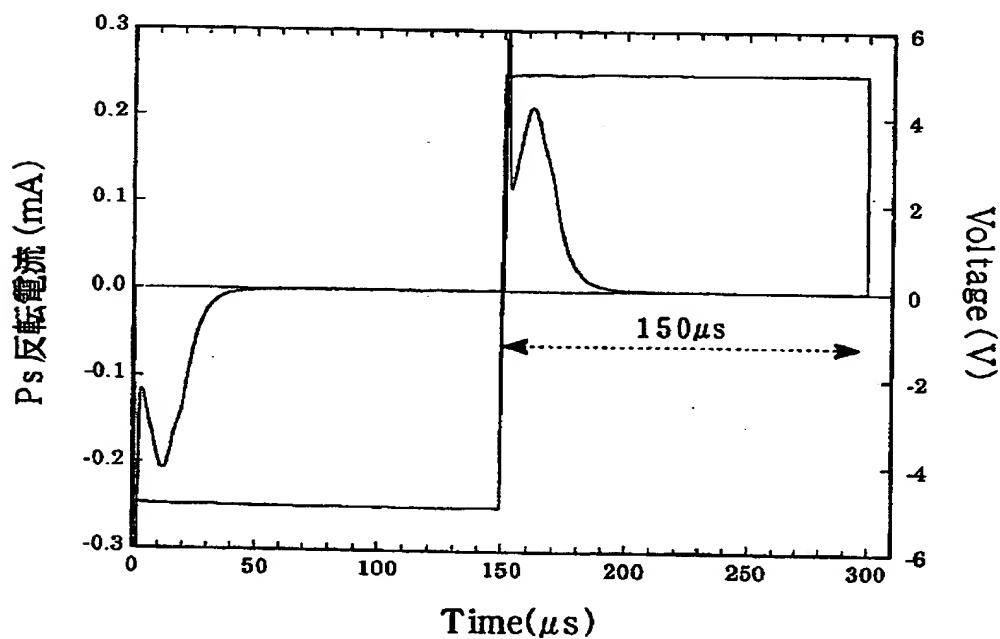
【図9】



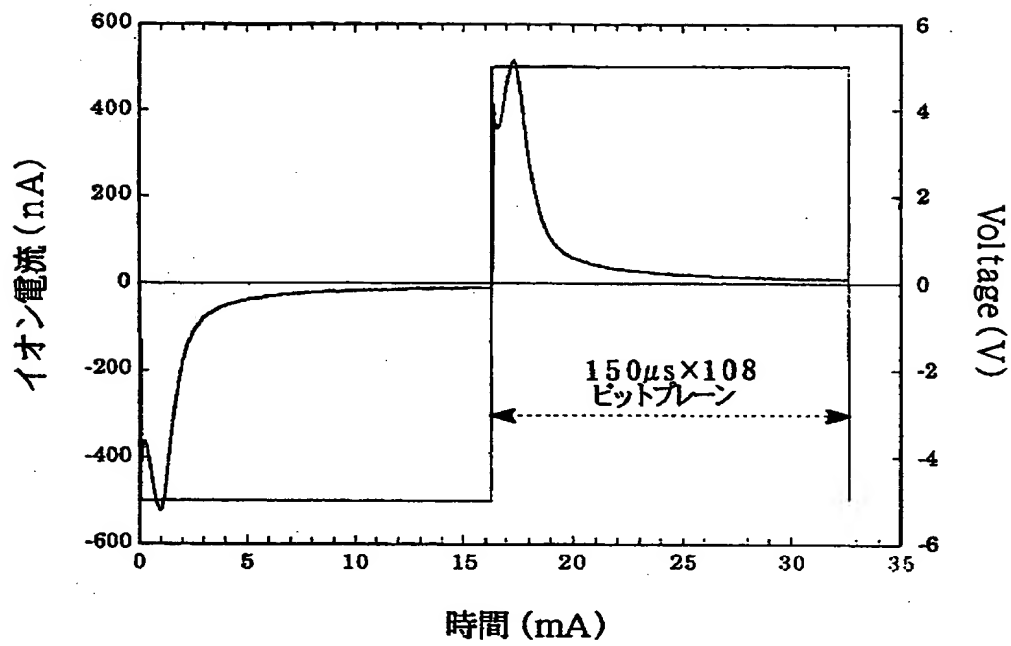
【図 10】



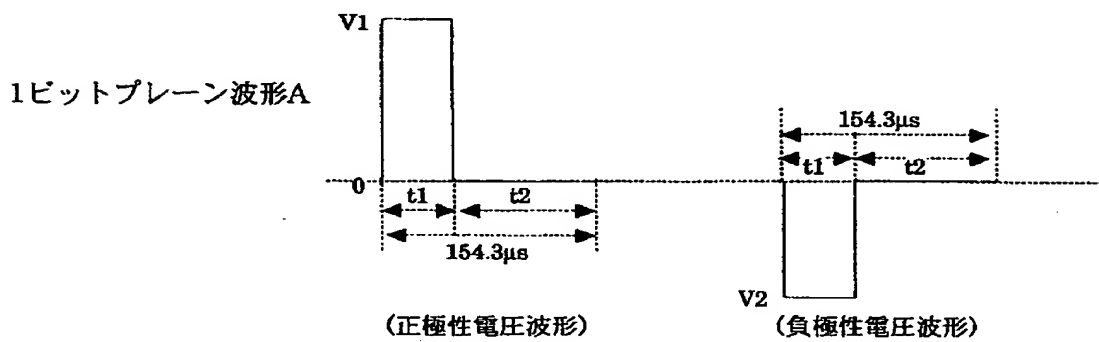
【図 11】



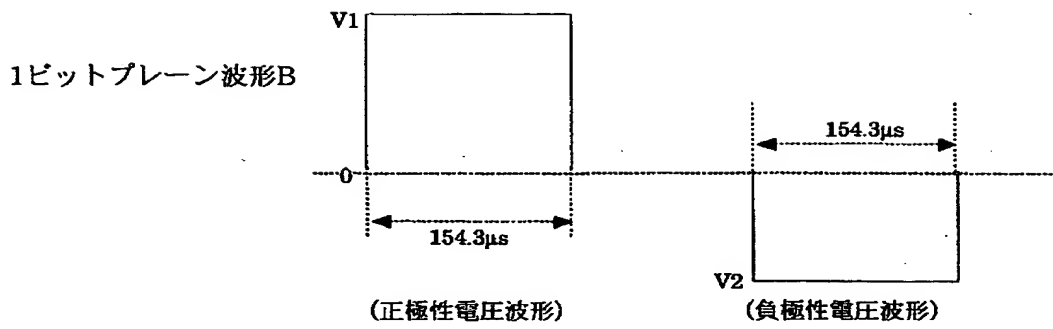
【図 1 2】



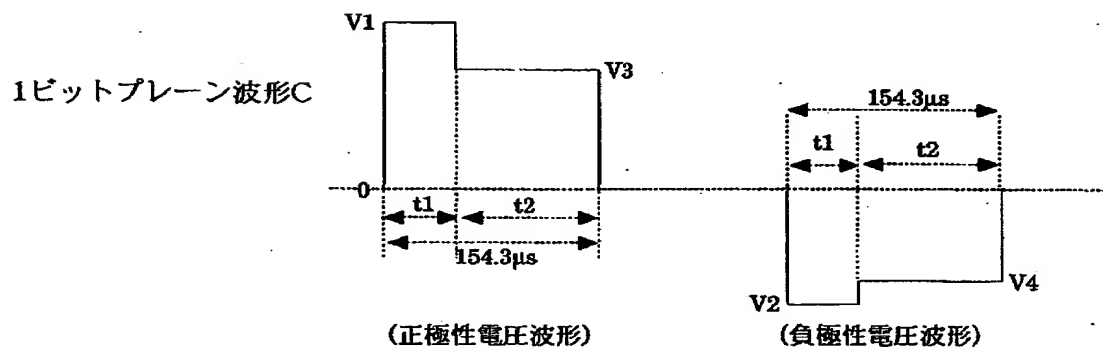
【図 1 3】



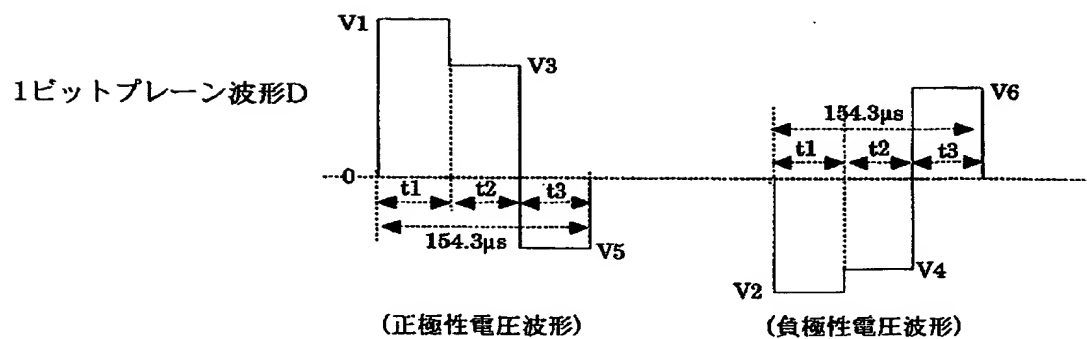
【図 1 4】



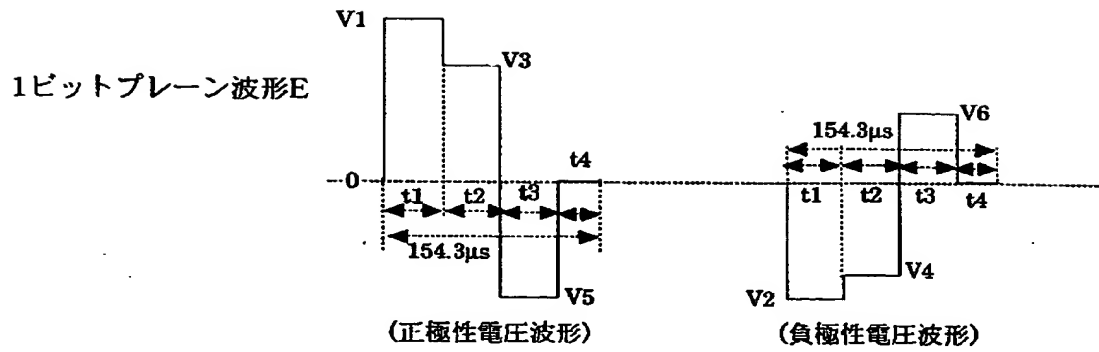
【図 1 5】



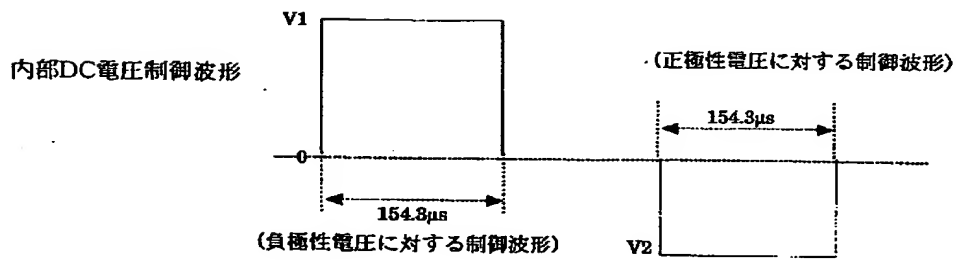
【図 1 6】



【図 1 7】

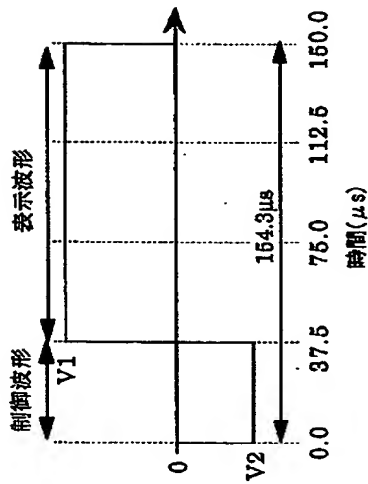


【図 1 8】



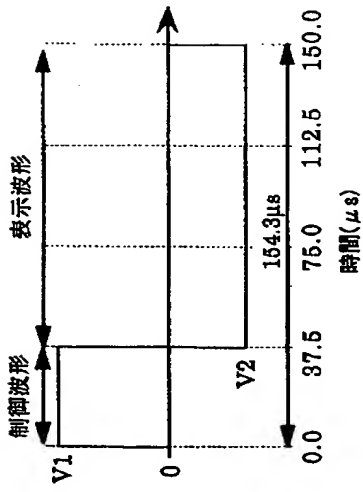
【図 1 9】

$V2=V4$, $V1=V3$, $t1=t2=37.5\mu s$, $t3=112.5\mu s$



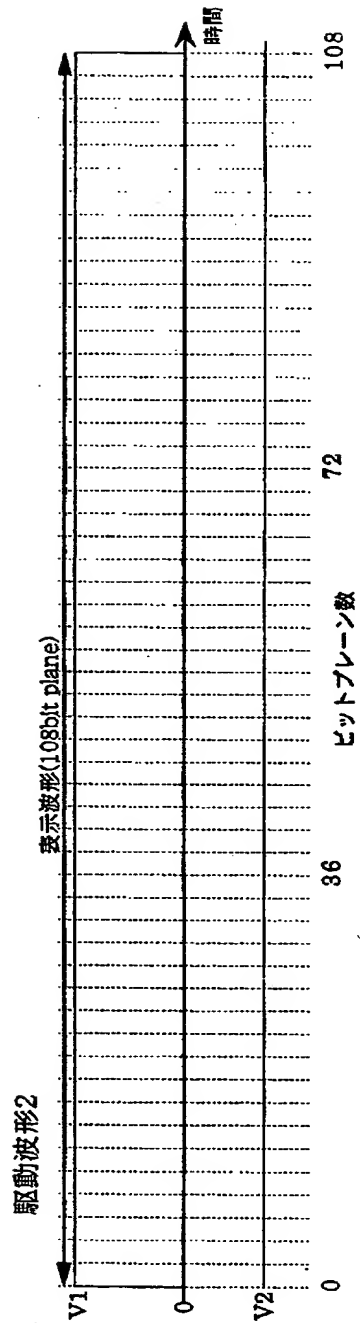
(A) 正極性電圧によって表示をさせる
1ビットプレーン波形

駆動波形1を形成する1ビットプレーン波形

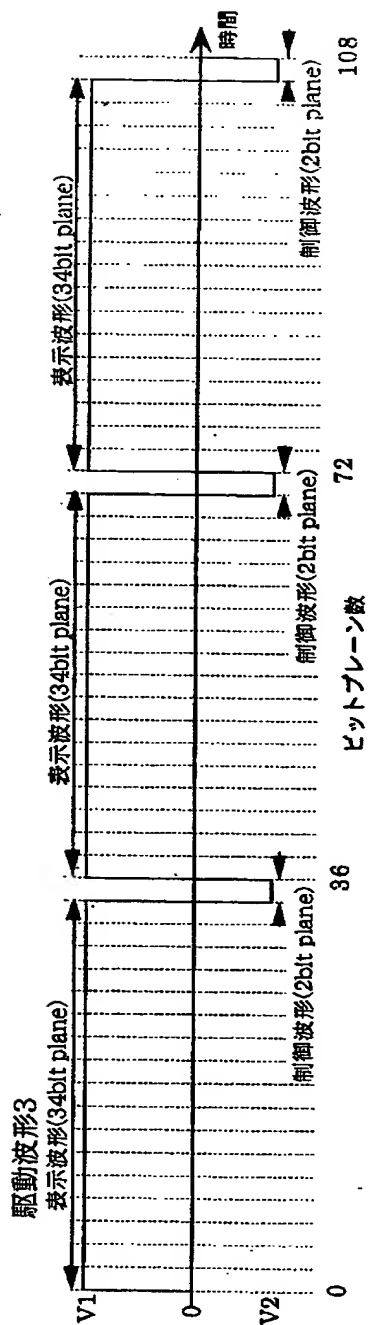


(B) 負極性電圧によって表示をさせる
1ビットプレーン波形

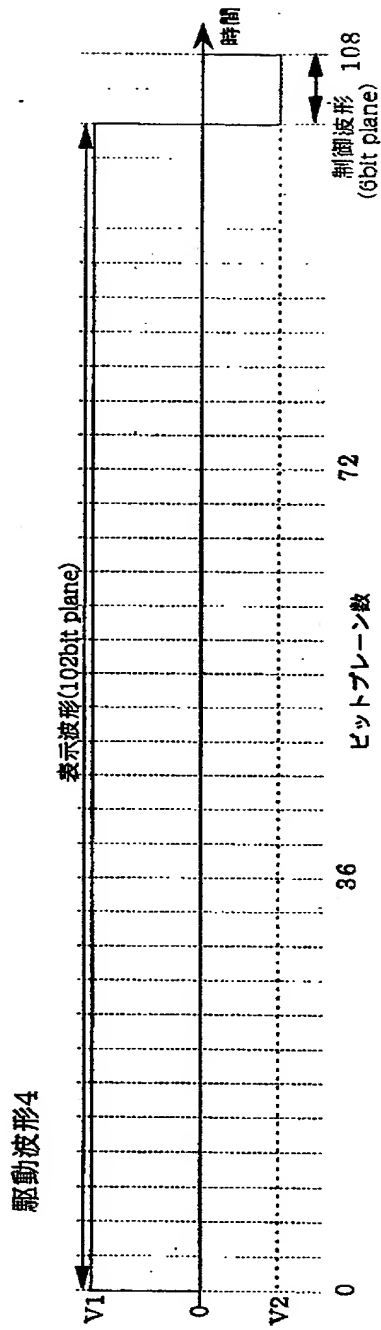
【図 2 0】



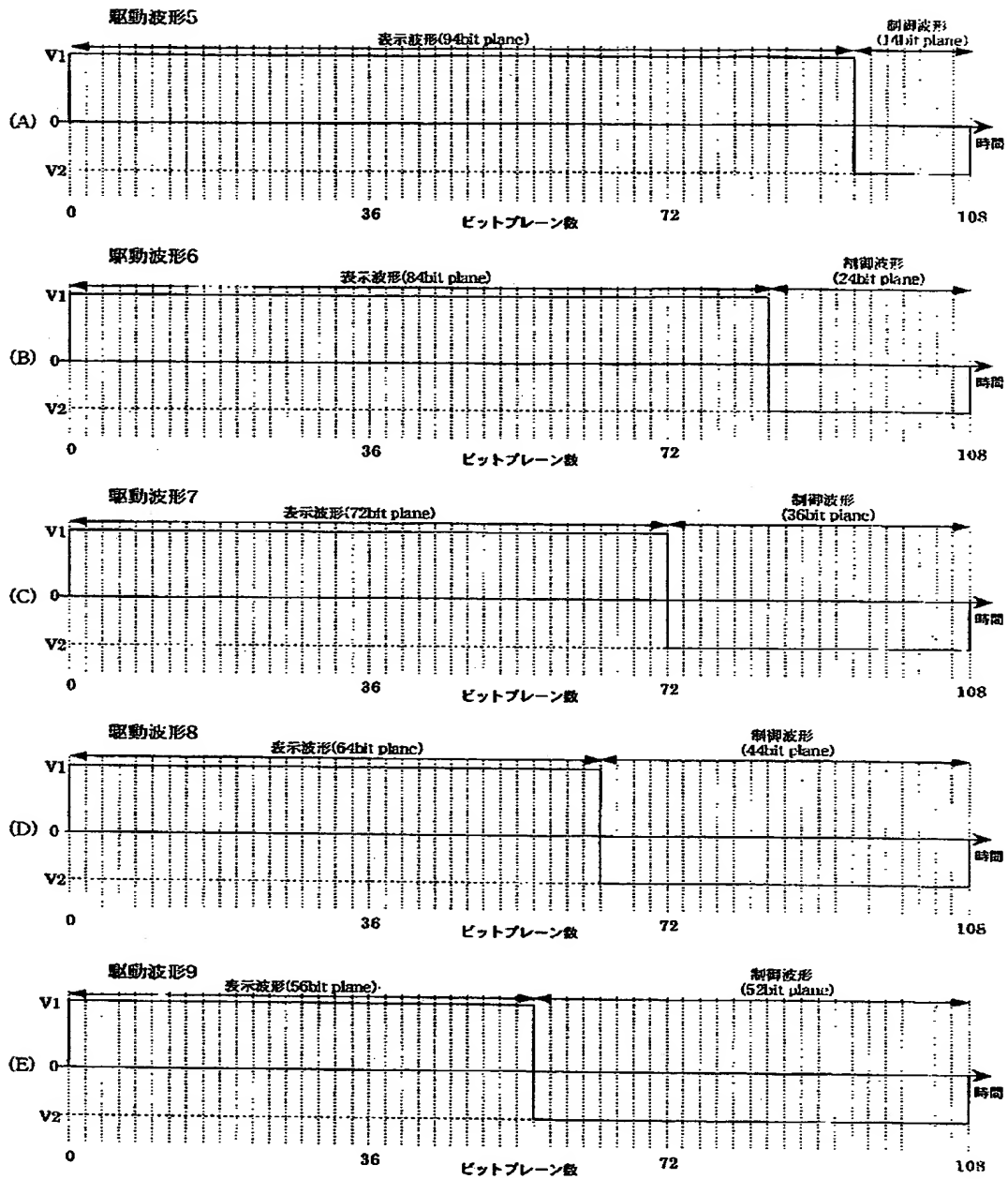
【図 21】



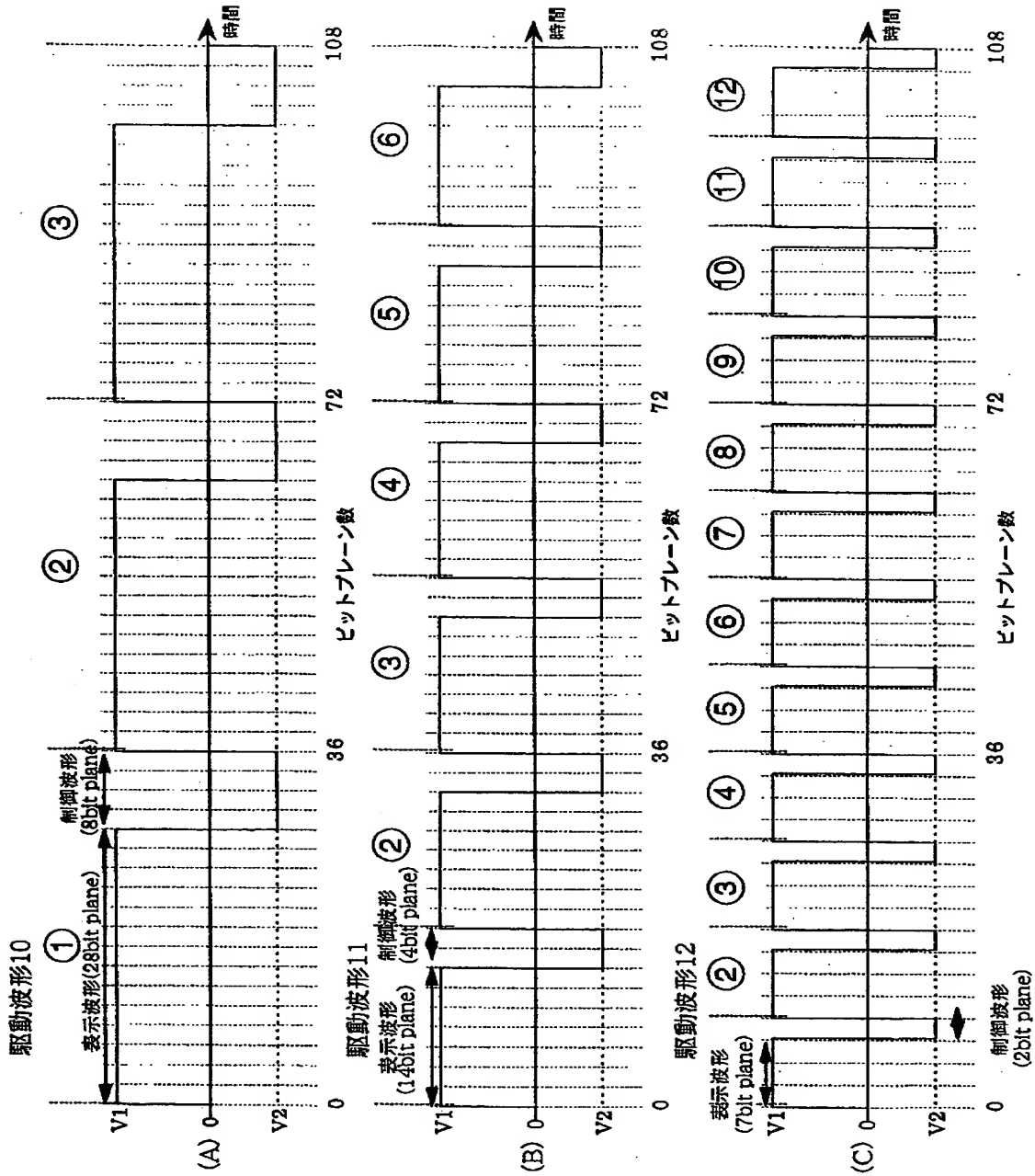
【図 2 2】



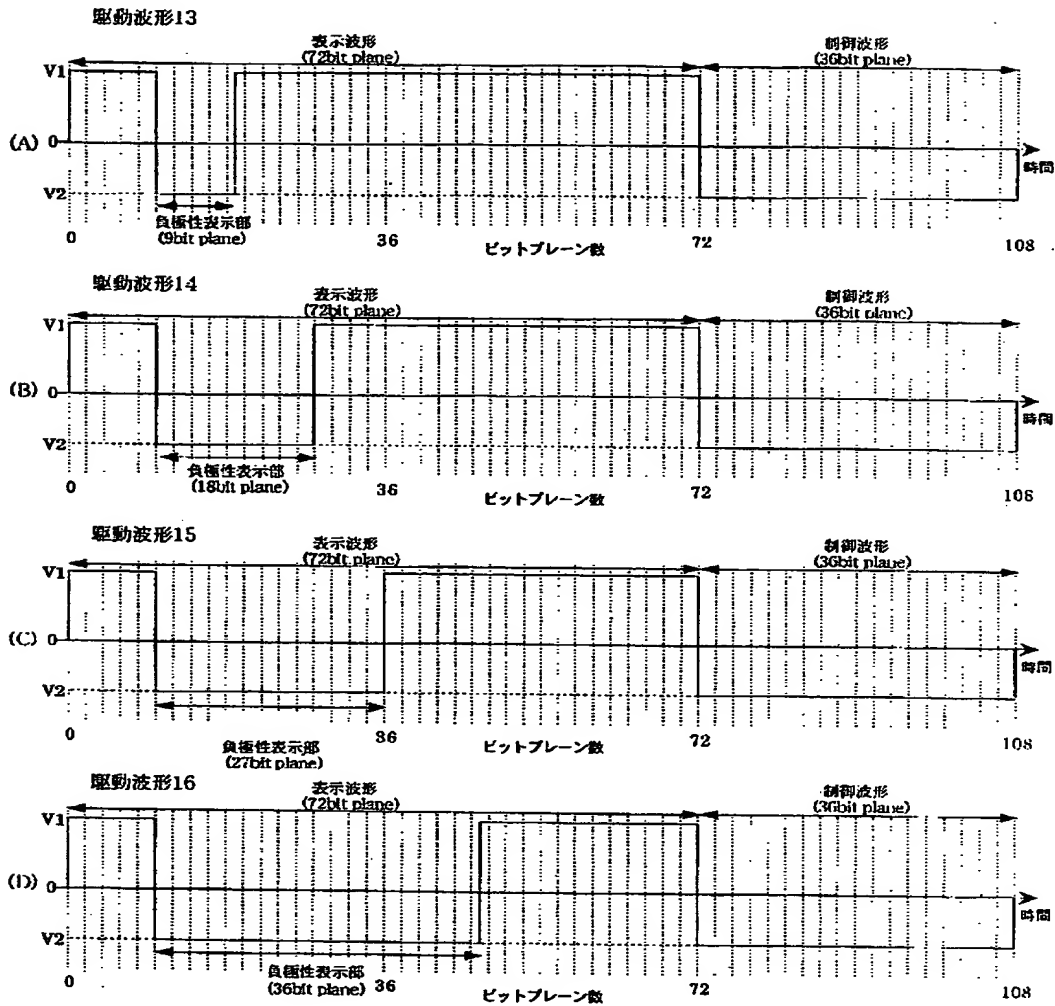
【図23】



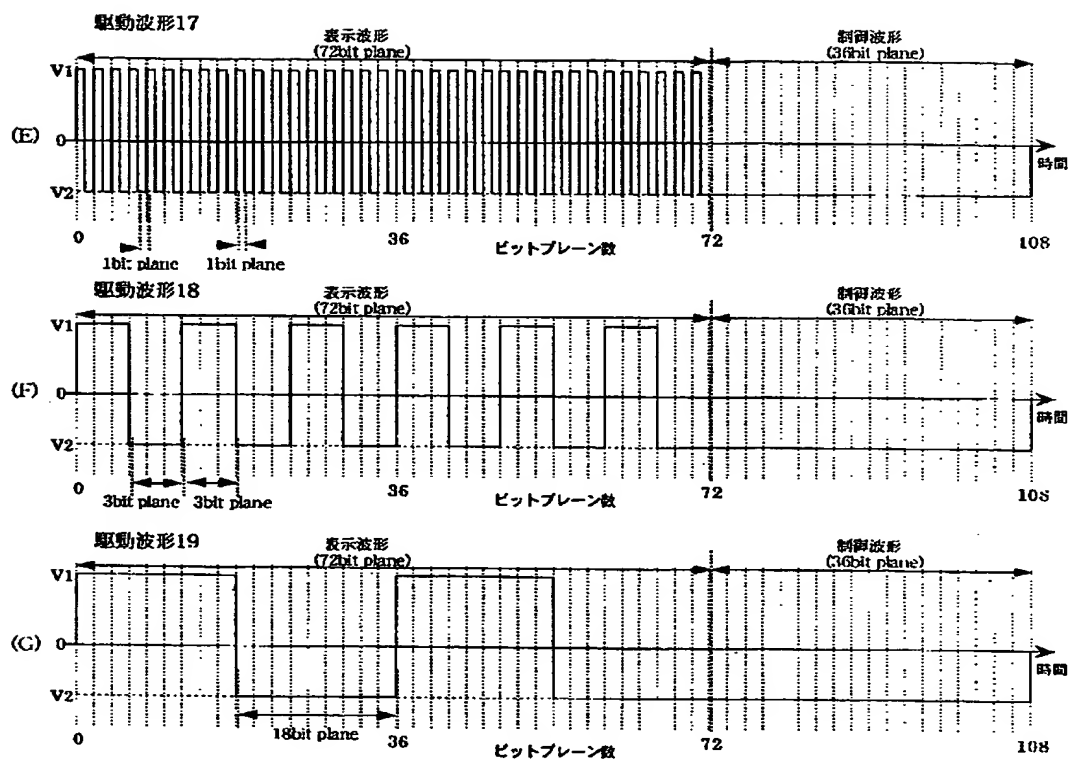
【図 24】



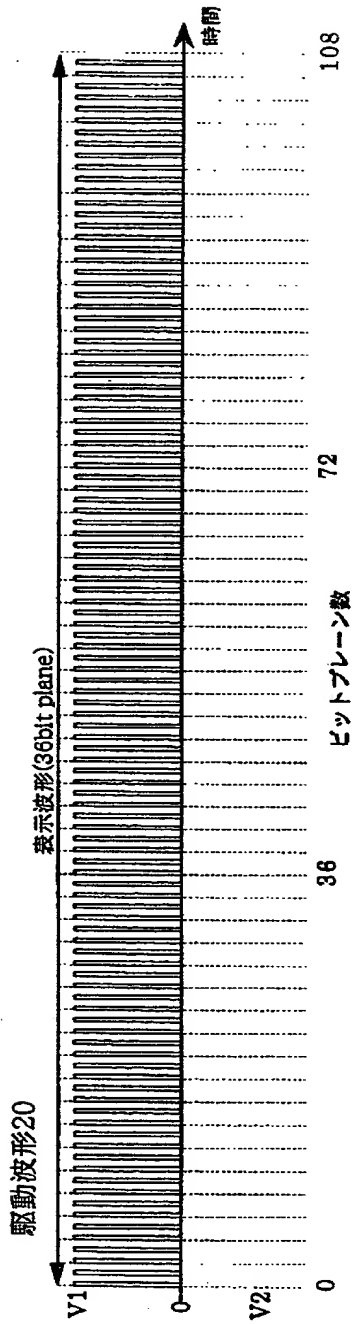
【図 25】



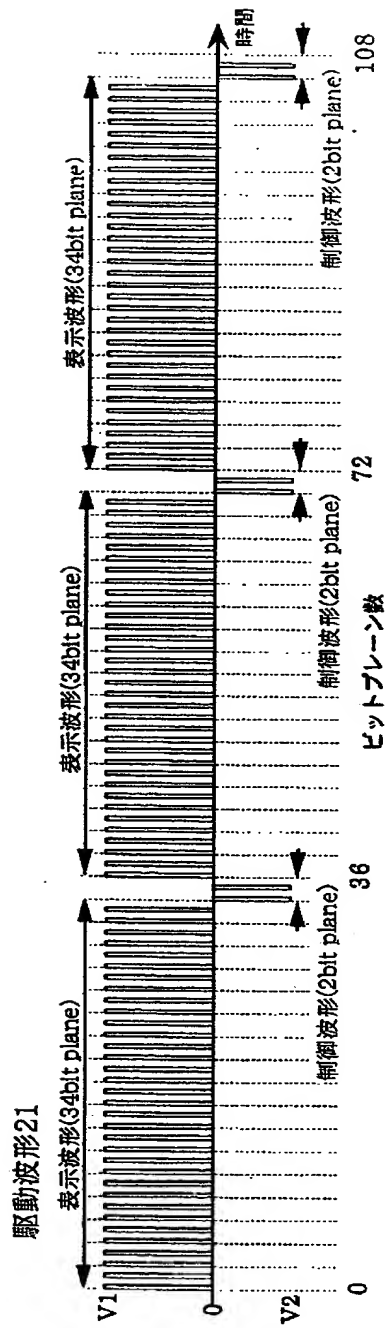
【図 2 6】



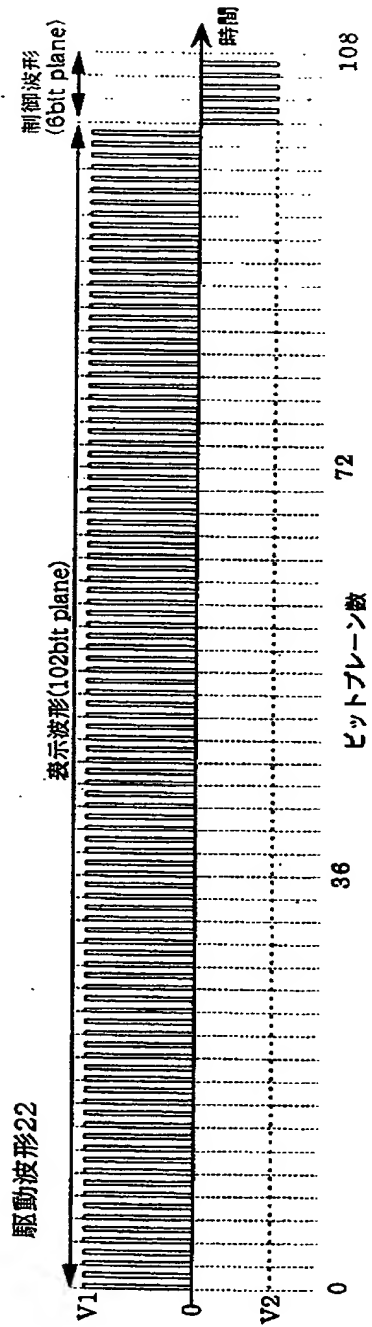
【図 27】



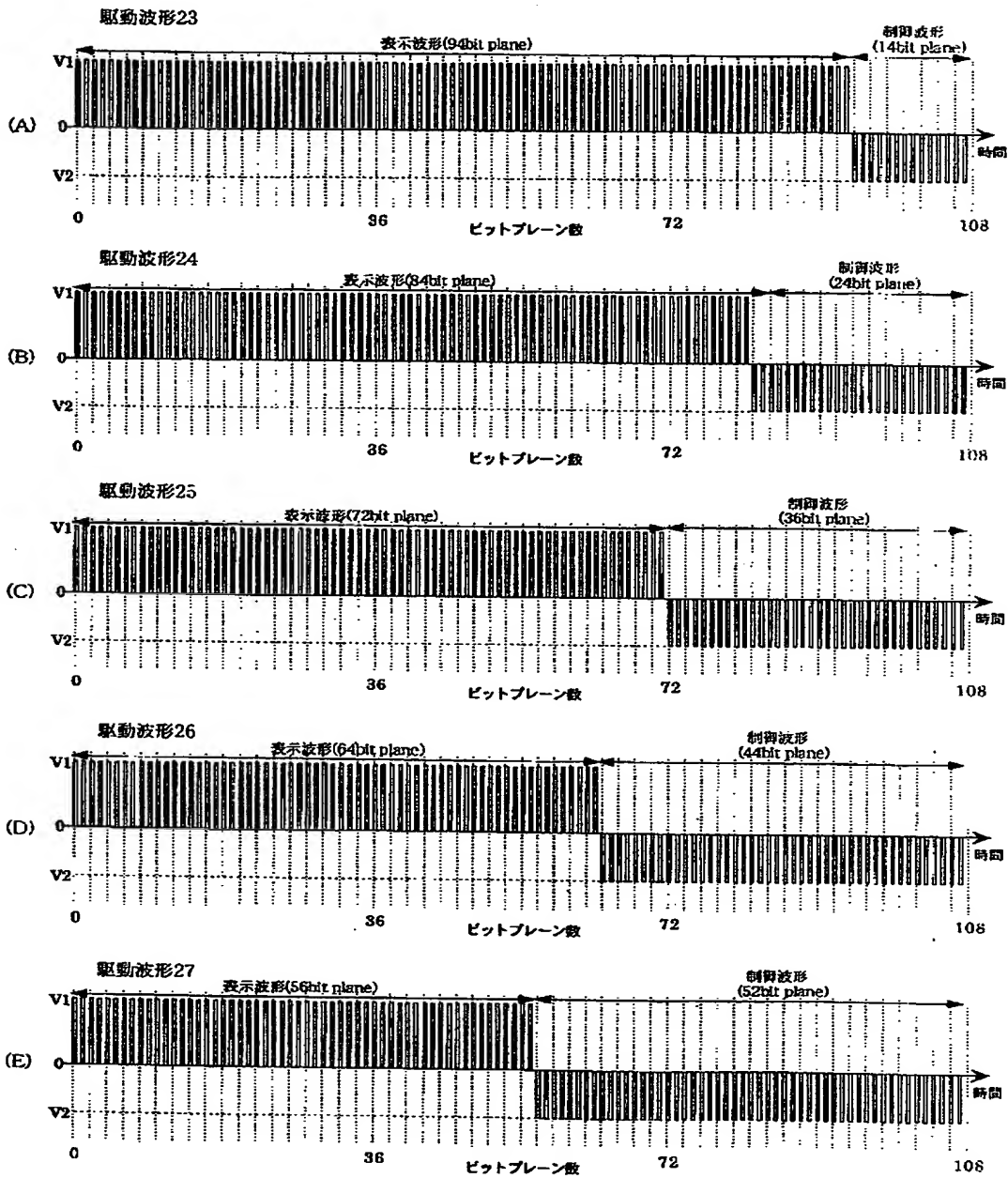
【図 28】



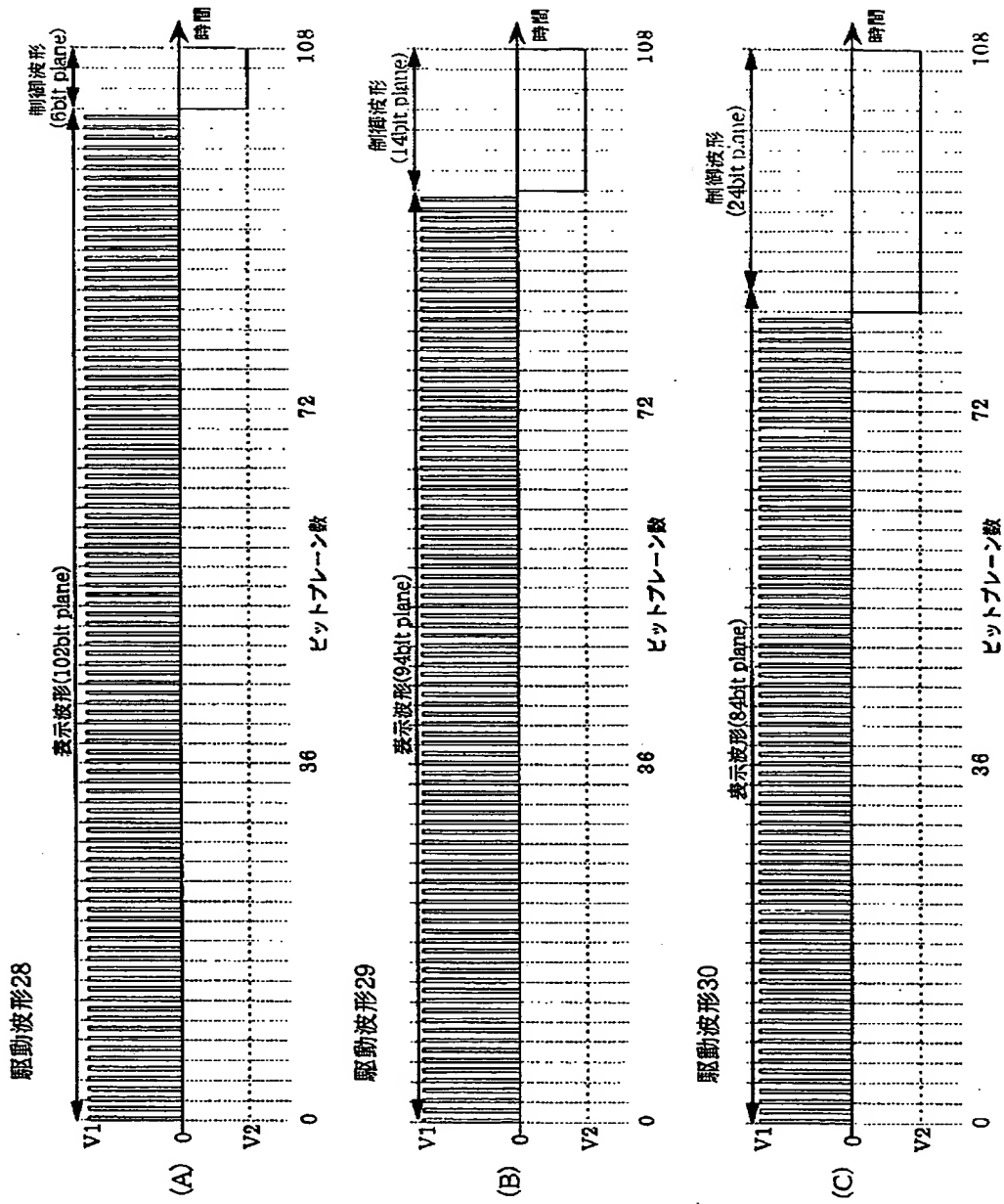
【図 2 9】



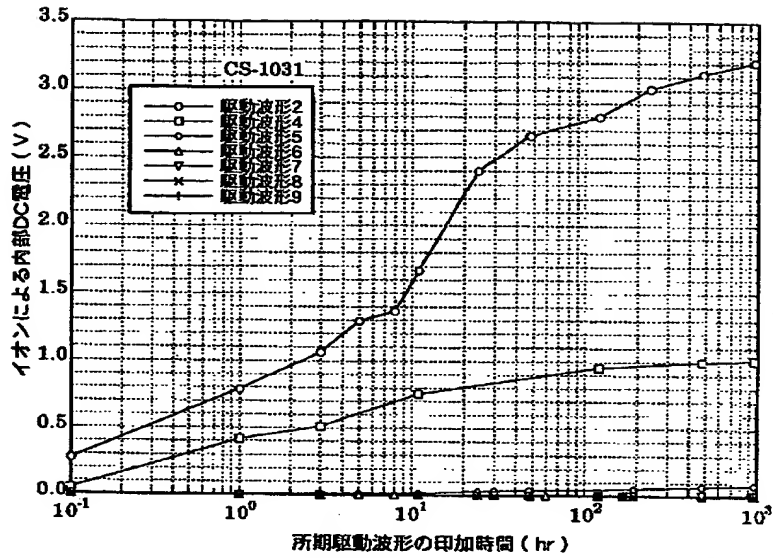
【図 30】



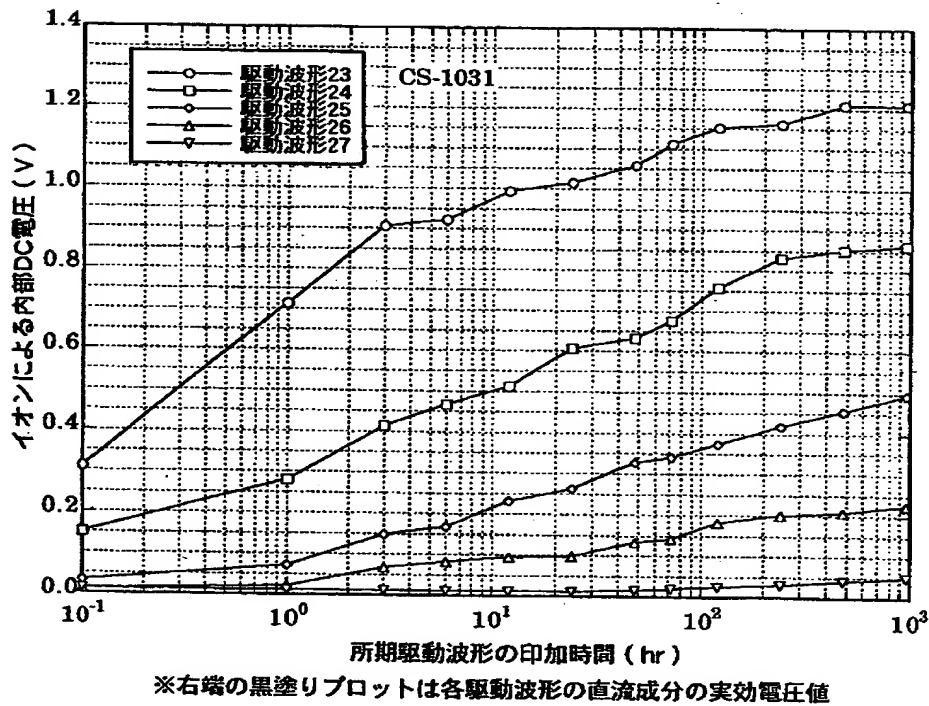
【図 31】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 液晶表示素子において、十分なビットプレーン時間を確保しつつ、不純物イオンによる表示画像の質の劣化が生じないようにする。

【解決手段】 一定時間内、あるいは、複数のフレーム期間内、もしくは、一のフレーム期間内において、表示信号期間（表示波形 3 2 ビット）と、表示には関与しない制御信号期間（制御波形 2 ビット）とからなる駆動電圧波形を用いることにより、内部直流電圧の発生を抑制する。

【選択図】 図 2 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社